

La telemetria PSK di Oscar 10
e della Phase III-C

SYNINF

Sincronisation of Information
di IW3ER, IV3IBX, I8CVS

parte settima

Le funzioni di questo circuito sono molteplici e la maggior parte di queste possono essere ottenute anche via software. In ogni caso, riteniamo opportuno descrivere anche l'hardware che noi abbiamo usato perché così sarà più facile comprendere i programmi che fanno uso di alcune soluzioni in software e che saranno descritti in seguito.

La prima funzione è la più importante e consiste nella rimozione della codifica differenziale di cui si è accennato all'inizio (fig.12). Si utilizza infatti come dato univoco il bit che risulta dalla differenza fra un bit trasmesso e il suo bit precedente e il risultato rappresenta il bit buono. Supponiamo che in un certo intervallo di tempo i dati (D) forniti dal BITREG siano la sequenza 100100010. Nessuno ci vieta di pensare che in realtà essi siano invertiti di 180° e cioè siano 011011101.

In queste condizioni di ambiguità nessuna delle due sequenze sarebbe utilizzabile come dato. Siccome la trasmissione dei dati è sincrona, per fare la differenza bisogna conservare o memorizzare lo stato logico del bit precedente in modo da paragonarlo successivamente e nello stesso istante, con quello attuale.

Questa funzione di memoria viene svolta da un flip-flop (fig. 13) mentre la decodifica differenziale è fatta da un OR-esclusivo (fig. 12).

La frequenza del clock a 400 Hz è uguale a quella dei dati e appena il clock commuta il flip-flop, il bit 1 appare all'uscita Q piedino 1 ed è inviato al piedino 9 dell'OR esclusivo dove rimane per 2,5 millisecondi.

Nel medesimo istante in cui il bit 1 è sul piedino 9, il successivo bit della sequenza dati, lo 0 arriva istantaneamente sui piedini 5 e 8. Come si vede il flip-flop ha funzionato da memoria per il bit 1. Infatti il bit 0 è quello attuale mentre il bit 1 è divenuto quello precedente, ma ora si trovano entrambi nello stesso istante ai due ingressi dell'OR-esclusivo.

Dalla tavola della verità (fig. 12), se i due ingressi hanno stato logico uguale, l'uscita è 0. Se lo stato logico è diverso, l'uscita è 1. Nell'esempio considerato, il bit attuale, piedino 8 è uno 0 e il bit precedente, piedino 9, è 1.

L'uscita dell'OR esclusivo è dunque a stato logico alto e rappresenta il bit 1 decodificato utilizzabile finalmente come dato.

Se ripetiamo il ragionamento per tutta la sequenza dei bit in arrivo 100100010, la decodifica differenziale fornirà i dati utili 10110011.

Il fatto più importante di tutto il discorso è che se i dati in arrivo dal BITREG sono rovesciati di fase, ossia arrivano come 011011101, l'uscita dell'OR esclusivo resta sempre 10110011. La fig. 13, con la rispettiva didascalia, chiarisce meglio questi concetti. Questa funzione è preferibile che venga lasciata così com'è in hardware.

La seconda funzione della SYNINF è quella di prendere i bit a 400 Hz che escono seriali, uno dopo l'altro dal piedino 10 del 4030 e mandarli a un registro a scorrimento P 4015 che ad ogni impulso di clock avanza di un bit e li mette tutti paralleli sulle uscite B₀.....B₇, in modo da formare i byte da 8 bit da inviare al computer.

Sui piedini B₀....B₇ scorrono in continuazione tutti i dati, ma affinché il computer "veda" il byte ASCII al momento opportuno, cioè quando è veramente tutto presente con inizio a B₀ e fine a B₇, ci vuole un opportuno segnale di byte pronto.

Il satellite non trasmette questo segnale, ma siccome la trasmissione è sincrona, noi sappiamo con certezza che se riusciamo a individuare l'inizio di ogni blocco da 512 byte, tutti i gruppi di 8 bit successivi formeranno dei byte completi. In altri termini, una volta riconosciuto l'inizio del blocco, i primi 8 bit rappresentano un byte completo e così via di seguito per tutti i 4096 bit contenuti nel blocco.

La terza funzione del SYNINF è proprio quella di riconoscere l'inizio del blocco di 512 byte. Prima dell'inizio di ogni blocco il satellite trasmette una sequenza di riconoscimento formata da 4 byte al termine della quale inizia il blocco vero e proprio di 512 byte. L'insieme dei 4 byte che servono a segnare l'inizio e sincronizzare la lettura prende il nome di "Vettore di sincronismo". La sequenza trasmessa in codice ASCII esadecimale è 39, 15, ED, 30 e la sua forma d'onda è rappresentata per esteso in Q₀ su fig. 18. Il circuito della SYNINF, che può essere sostituito anche da software, ha il compito di riconoscere questo vettore o parola d'ordine a dare finalmente il segnale che i primi 8 bit ricevuti costituiranno un byte.

Ciò fatto tutto il resto è determinato automaticamente perché il blocco è come una scacchiera formata da 4096 bit e ogni 8 di questi, presi in sequenza, rappresentano un byte.

Per ottenere il riconoscimento la SYNINF genera localmente la stessa sequenza 39, 15, ED, 30 trasmessa dal satellite ed effettua continuamente il confronto delle due, quella ricevuta e quella generata. Quando le due sequenze combaciano significa che il vettore è stato riconosciuto; il primo bit dei dati in arrivo presente su B₀ dello shift register P 4015 viene confrontato costantemente al centro della sua durata (mezzo periodo dopo) col bit del "vettore di sincronismo" generato in quell'istante dalla stessa SYNINF. Se i bit dei dati non sono uguali a quelli del vettore di sincronismo, il primo bit che risulta diverso resetta a zero il generatore E-4015 e la sequenza 39, 15, ED, 30 ricomincia da capo.

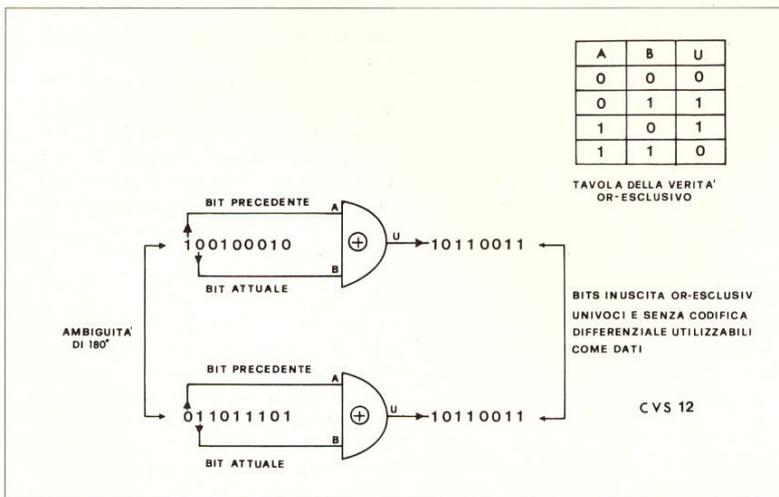


Fig. 12 - Rimozione della codifica differenziale.

Esempio: Inviando agli ingressi A e B dell'OR-esclusivo la sequenza dei bit 100100010. All'ingresso A inviamo i bit precedenti ed all'ingresso B quelli attuali. Facciamo l'operazione per ogni coppia di bit su tutta la sequenza. Le coppie di bit applicate agli ingressi A e B e l'uscita rispettiva U saranno perciò: (1-0)=1; (0-0)=0; (0-1)=1; (0-0)=0; (0-0)=0; (0-1)=1; (1-0)=1. La sequenza decodificata differenziale è dunque 10110011.

Se ripetiamo il ragionamento sulla sequenza che può arrivare ambigua 011011101, rovesciata cioè di 180°, il risultato non cambia ed il problema della ambiguità è risolto. Sull'uscita U dell'OR-esclusivo ci sono perciò bit univoci, utilizzabili come dati.

Il confronto continua così e avanza fintanto che i bit ricevuti sono uguali a quelli generati. Basta un solo bit diverso che il generatore si resetta a zero e solo quando tutti i bit dei dati in arrivo coincidono con quelli del generatore locale E-4015 significa che l'inizio del blocco è stato ricevuto e individuato.

Solo in questo caso il generatore del vettore di sincronismo genera un impulso che fa partire un contatore di 512 byte. Ogni volta che un byte è pronto su B_0, \dots, B_7 dello shift register, questo contatore L-4040 incrementa il conteggio di 8 bit e contemporaneamente genera un segnale per indicare al computer che sui piedini B_0, \dots, B_7 dello shift register P-4015 c'è disponibile un byte completo e che questo può essere trasferito al computer per essere elaborato.

Il software del computer è alla continua ricerca di questo segnale e una volta individuato, e solo allora, lascia passare il byte dalla SYNINF alla sua memoria.

Siccome la trasmissione è sincrona, appena un blocco di dati viene riconosciuto, non è più necessario effettuare altri controlli perché i primi 8 bit costituiranno il primo byte e inoltre il conteggio di ogni 8 bit successivi determinerà da solo il riconoscimento di tutti i 512 byte, dopodiché tutto il circuito si resetta e resta in attesa del vettore di sincronismo di un altro blocco di dati.

Queste funzioni possono essere fatte anche via software. Da un punto di vista circuitale la SYNINF funziona così: l'integrato E 4015 PN Generator, con l'OR esclusivo G 4030 genera da sé l'esatta copia del vettore trasmesso dal satellite la cui forma d'onda è raffigurata in Q_0 di fig. 18.

All'ingresso 12 del 4030 G arriva il B_0 negato prelevato dallo shift register tramite un invertitore. Nello stesso tempo all'altro ingresso 13 arriva il Q_0 del generatore di sincronismo E 4015. I due bit vengono confrontati e se questi non sono uguali, l'OR-esclusivo emette un impulso a livello alto sull'uscita 11.

Questo impulso è inviato all'ingresso 1 dell'inverter 4001 insieme al segnale di clock che va all'ingresso 2.

All'uscita 3 del 4001 viene emesso un

impulso alto differenziato da 1K e perciò molto stretto denominato "Falsches Bit" o bit falso il cui scopo è quello di resettare il clear del generatore di sincronismo E 4015 la cui sequenza ricomincia da capo.

Se invece i bit in arrivo su B_0 sono uguali a quelli Q_0 del generatore, il riconoscimento procede fino in fondo e così gli ultimi 5 bit del vettore vengono letti dai diodi su $Q_0 - Q_1 - Q_2 - Q_3 - Q_4$ collegati ai rispettivi piedini di E 4015. A questo punto l'uscita 4 del K 4001 (Synch Vector Erkant) diventa alta ed invia un impulso di "riconoscimento avvenuto" agli integrati L 4040 e H 4013.

Il primo dei due è un contatore binario a 12 bit (12 bit Zaehler) che dopo 8 periodi di clock, ossia dopo 8 bit, segnala che il primo byte è pronto sul piedino 6 (Q_2).

Dopo 4096 periodi di clock, pari a 512 byte per 8 bit, il piedino 1 (Q_{11}) del 4040 passa a stato logico alto e segnala che il blocco dati è terminato. Il conteggio avviene perché fra Q_2 e Q_{11} nel 4040 ci sono 9 flip-flop e l'uscita Q_{11} dell'ultimo flip-flop diventa alta solo dopo 2^9 bit = 4096 bit = 512 byte.

Da questo conteggio ne deriva una conseguenza molto importante. L'uscita Q_2 diventa alta al termine di ogni byte. Ogni byte dura 8 bit e la frequenza dei bit è 400 Hz, perciò il segnale di byte pronto su Q_2 ha una frequenza uguale a 400 Hz : 8 e cioè 50 Hz.

Questo segnale a 50 Hz si ricava sul collettore del transistor NPN BC 182 ed è disponibile sul terminale EX (Byte Vorh), ossia segnale di byte pronto.

Questo segnale viene inviato al computer attraverso una porta e serve a fargli sapere esattamente l'istante in cui al suo ingresso ci sono 8 bit paralleli costituenti il byte e che la porta deve essere aperta per indirizzarli in memoria. Sarà poi il software a interrogare la porta per verificare l'istante in cui il segnale di byte pronto è presente (fig. 6 - 2° puntata).

In realtà ogni blocco di dati contiene 2 byte in più, ossia 514 byte. Gli ultimi due byte trasmessi contengono un

numero che rappresenta il risultato di un controllo effettuato dal computer del satellite che conta esattamente tutti i bit (0) e tutti i bit (1) trasmessi in ciascun blocco.

Se il numero di questi bit viene immesso in una formula internazionale chiamata CRC, (Cycling Redundancy Check) contenuta nel software del satellite e se il risultato della formula viene trasmesso come un numero a fine blocco è possibile verificare se i bit (0) e (1) ricevuti a terra sono o meno uguali a quelli trasmessi dal satellite.

Per ottenere lo scopo bisogna fare il procedimento alla rovescia contando i bit (0) e (1) che abbiamo ricevuto e immettere questi valori nella equazione del CRC contenuta anche nel nostro programma.

Se il risultato ottenuto è uguale a quello trasmesso non è stato ricevuto alcun errore.

Il circuito della SYNINF e i nostri programmi non effettuano il controllo CRC, anche se alcune prove in merito hanno dato risultati soddisfacenti.

L'integrato H 4013 è un doppio flip-flop che ha il compito di disabilitare il generatore del vettore di sincronismo non appena riconosciuto il blocco e anche durante la sua ricezione. Durante la ricezione del blocco, l'uscita Q piedino 13 del 4013 è alta (Valid Block). Questo segnale applicato al clear del generatore 4015 lo tiene bloccato. Contemporaneamente, l'uscita Q negata del 4013, piedino 12, è bassa e va alla base del PNP BC212 che si pone in conduzione. Ciò determina l'accensione del led "block" (verde) che resta luminoso per 512 byte e per un tempo di $512 \times 8 = 4096$ impulsi di clock, ossia 4096×2.5 millisecc = 10,24 sec. di blocco.

A blocco finito Q torna basso e il generatore di sincronismo 4015 riparte con la sequenza 39, 15, ED, 30. Sul piedino 12 del 4013 segnato con "valid block" è stato prelevato un segnale che viene inviato al computer per abilitarlo a ricevere i dati solo all'inizio di ogni blocco, e mai prima. Se ciò non fosse fatto, il primo blocco ricevuto dopo l'accensione del computer partirebbe da punti intermedi e in assenza di sincronismo iniziale. In tal caso tutti i byte ricevuti in quel blocco sarebbero falsi.

Il segnale BF del ricevitore SSB può essere registrato direttamente su nastro mentre il

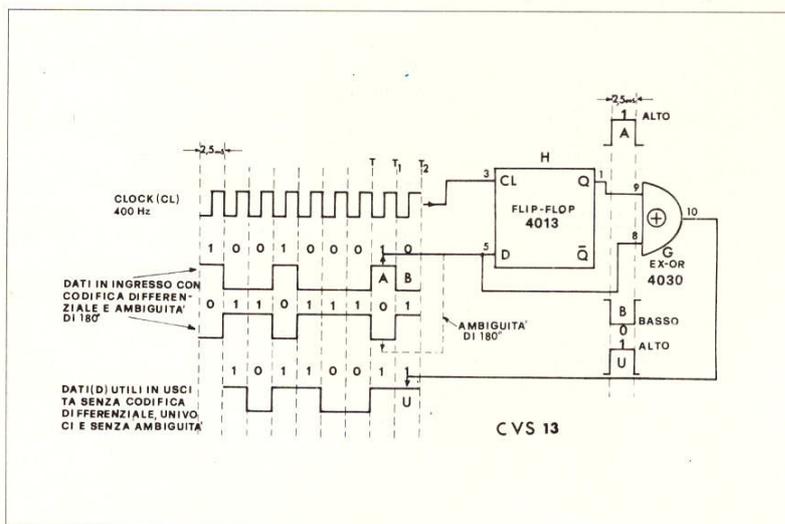


Fig. 13

Nell'intervallo di tempo $T_1 - T_2$ il bit $A = 1$ è applicato contemporaneamente all'ingresso 5 del flip-flop e all'ingresso 8 dell'OR-esclusivo, che diventa alto. Nel fronte di discesa di T_1 il flip-flop commuta, l'uscita Q diventa alta e così il bit $A = 1$ passa sul piedino 9 dell'OR-esclusivo. L'uscita Q del flip-flop resta alta dal tempo T_1 al tempo T_2 ossia per un ciclo completo di clock (2,5 millisecondi). Nell'intervallo di tempo $T_1 - T_2$ il bit $B = 0$ è applicato direttamente sull'ingresso 8 dell'OR-esclusivo, che diventa basso. Di conseguenza nell'intervallo $T_1 - T_2$ i bit $A = 1$ e $B = 0$ si trovano entrambi applicati sui rispettivi ingressi 9 ed 8 dell'OR-esclusivo, la cui uscita U diventa alta. Il flip-flop ha avuto funzione di memoria per il bit precedente $A = 1$ che si trova all'ingresso dell'OR-esclusivo insieme al bit attuale $B = 0$. La commutazione del flip-flop è effettuata dal clock a 400 Hz.

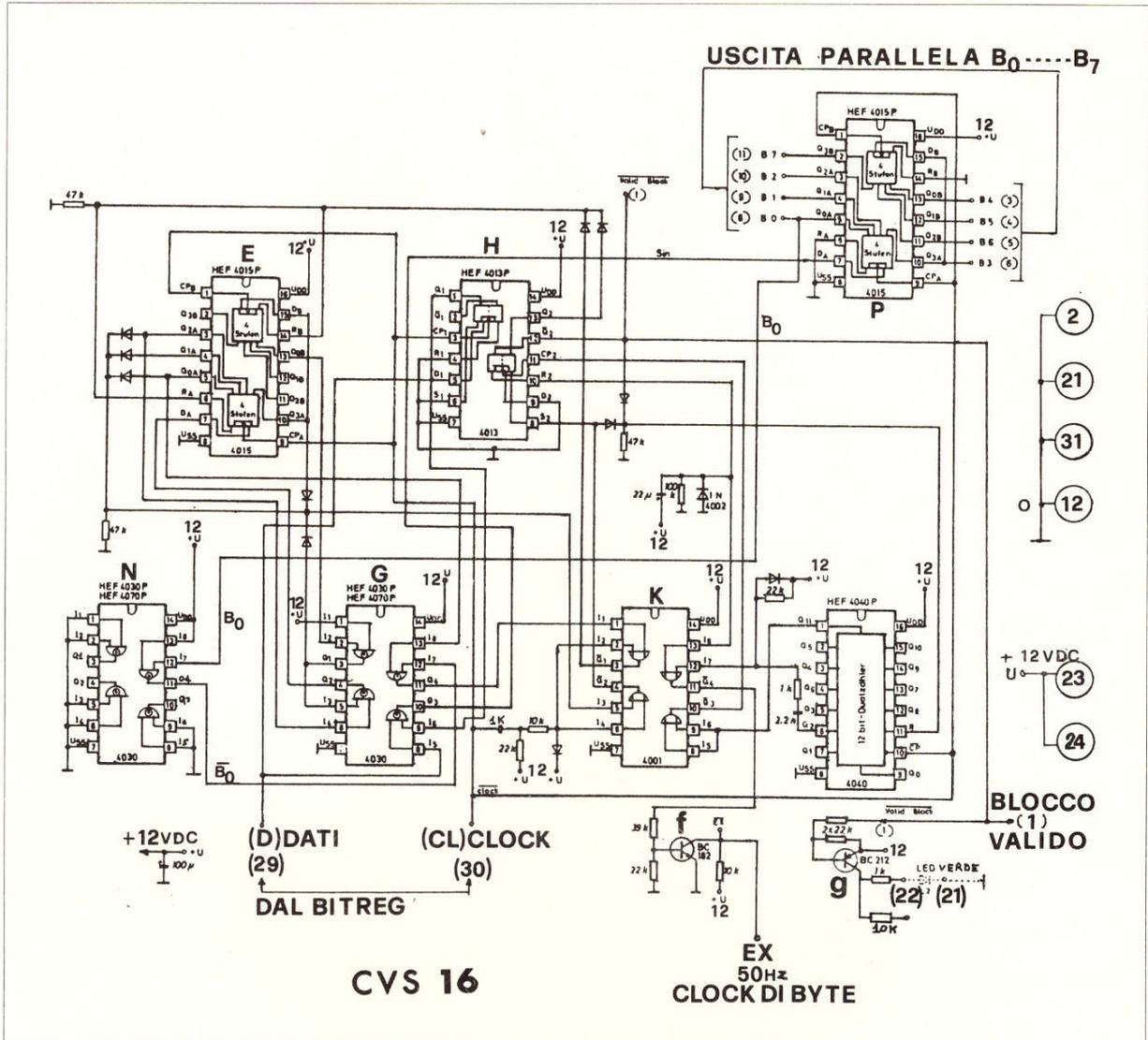
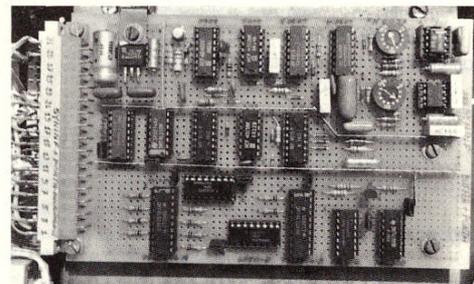


Fig. 16
Schema elettrico e cablaggio scheda Syninf

Foto 1 - Scheda Syninf cablata su scheda formato Eurocard insieme alla porta indirizzabile (di prossima descrizione).



demodulatore è agganciato e il sistema lavora. Le migliori prestazioni in playback si ottengono se la velocità del registratore è regolabile in più e in meno per facilitare l'aggancio del demodulatore.

In conclusione, tutte le funzioni della SYNINF eccetto la decodifica differenziale possono essere fatte anche in software.

Questa soluzione permette di risparmiare materialmente una scheda per la quale non esiste il circuito stampato e quindi deve essere cablata. In prima istanza noi abbiamo usato la soluzione hardware così com'è sullo schema di fig. 16 e abbiamo portato al computer TRS-80 gli 8 bit paralleli.

Il programma però è molto flessibile e include una routine linguaggio macchina che permette di prelevare i bit seriali e di inviarli al TRS-80 subito dopo la decodifica differenziale prelevandoli sul piedino 10, Q₃ dell'OR esclusivo 4030G.

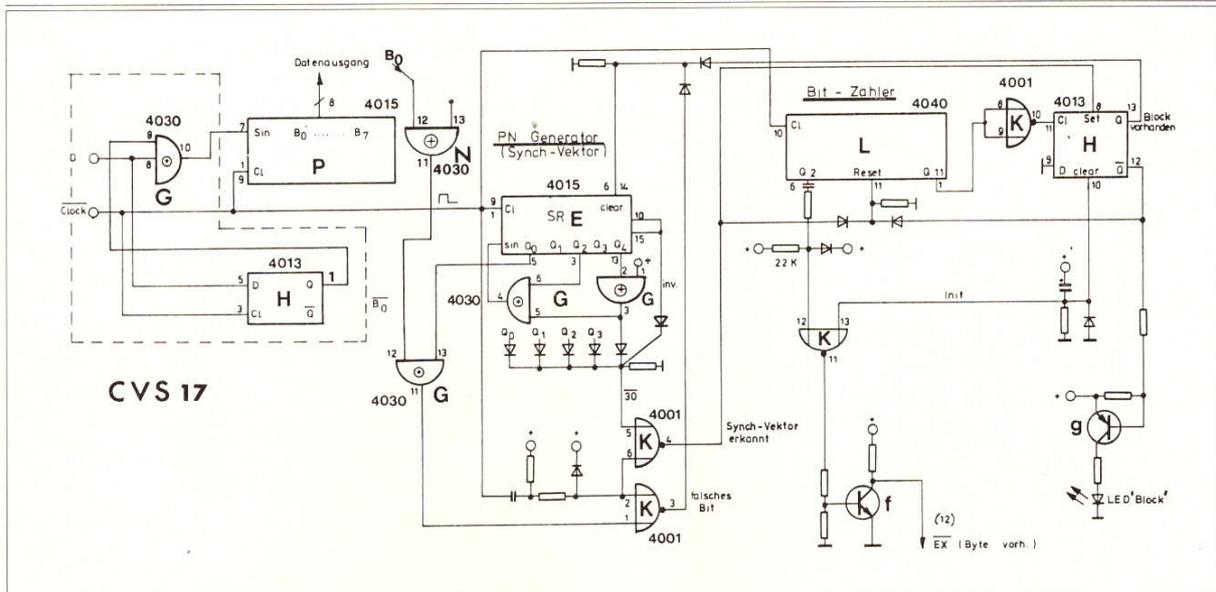
In questo caso, siccome tutte le funzioni della SYNINF sono in software, bisognerà cablare solo la parte tratteggiata di SYNINF riportata in fig. 16.

Entrambe le soluzioni, sia quella parallela che quella seriale, richiedono una porta da inserire prima del computer.

La porta parallela è diversa da quella seriale ed entrambe saranno descritte nei loro particolari.

Se si decide di cablare la SYNINF e andare paralleli al TRS-80 non occorre RS-232. Se invece si vuole andare seriali al TRS-80 occorre cablare molto poco di SYNINF, ma occorre che il computer sia dotato di RS-232.

La cosa che rende veramente flessibile il sistema è il programma che può scegliere due routine linguaggio macchina, quella parallela o quella seriale.



Questa opzione è stata realizzata solo per il TRS80, computer sul quale si è sperimentato di più. Per gli altri computer, Apple e C64, la soluzione è solo seriale, ma ciò non limita affatto le prestazioni del sistema, ma anzi le semplifica. Ovviamente saranno dati gli schemi delle porte per i rispettivi computer e i listati dei programmi. Ci rendiamo conto che tutto ciò potrà spaventare o scoraggiare durante la scelta del sistema da adottare.

Ciò fa parte delle regole del gioco ed è proprio per questo che abbiamo insistito nel descrivere dettagli circuituali e concetti base.

I computer sono molti e non sarebbe possibile fornire a tutti la soluzione "ready to operate". Riteniamo però di aver fatto tutto il possibile perché la soluzione seriale ha un programma in basic molto trasparente che può essere studiato e adattato a qualunque computer. Solo la routine linguaggio macchina presenta alcune difficoltà e questa va scritta in modo specifico per ogni microproces-

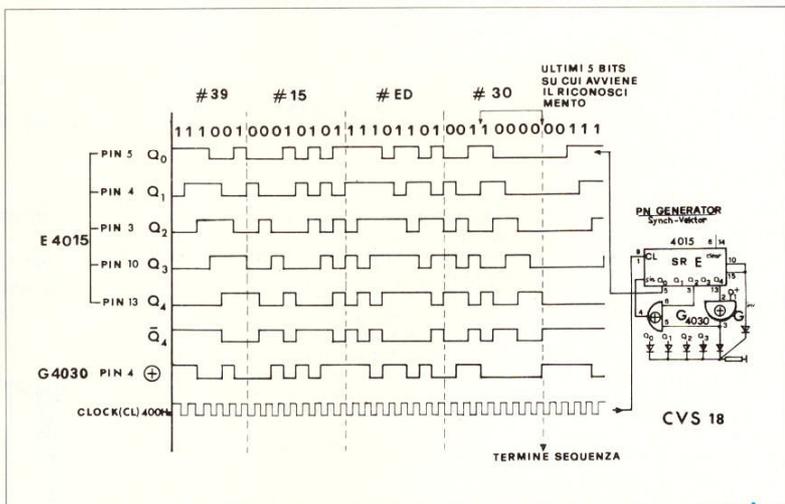
sore. Pensiamo comunque che allo stato attuale il nostro lavoro che proseguirà per i possessori di TRS-80, Apple, C-64 soddisfi le esigenze dei più. A tal proposito vogliamo sottolineare che tutti coloro che hanno duplicato il demodulatore PSK di G3RUH con software scritto per computer BBC sono rimasti fermi e possono demodulare solo quello che arriva in ASCII via RS-232 ossia i blocchi dei messaggi e il blocco Y. I blocchi Q dei dati non sono ricevibili via RS-232 e l'unica cosa che si vede sono i segni grafici del codice ASCII.

Pensiamo che i nostri programmi potranno essere utili a tutti coloro che hanno realizzato il demodulatore di G3RUH e non lo hanno potuto utilizzare per mancanza di software adatto al loro computer. La prossima puntata parlerà dell'interfacciamento parallelo col TRS-80. Prima di decidere quale soluzione adottare è bene aspettare la fine di questa serie di articoli per evitare di imbarcarsi su vie sbagliate e pentirsi a cose già fatte... Provare per credere!

Fig. 18 Il vettore di sincronismo 39, 15, ED,

30, viene generato dallo shift register E4015, il cui ingresso (sin) pin 7 è collegato alle uscite Q_2 e Q_4 tramite l'OR-esclusivo G4030. Ad ogni impulso di clock che arriva su CL, pin 1 e 9, si genera un bit su Q_0 che è l'esatta copia del vettore di sincronismo trasmesso dal satellite. Ad ogni impulso di clock i bit presenti su Q_0 vengono shiftati su $Q_1 - Q_2 - Q_3 - Q_4$ come riportato nel diagramma delle forme d'onda. Questa sequenza di bit viene confrontata con quelli in arrivo. Ogni bit in arrivo diverso da quello su Q_0 invia un impulso di reset sui pin 6 e 14 e la sequenza 39, 15, ED, 30 ricomincia da capo. Solo quando tutti i bit su Q_0 sono coincidenti con quelli in arrivo vuol dire che il vettore è stato riconosciuto. Mentre i bit scorrono su $Q_0...Q_4$ preleviamo quelli presenti su Q_2 e Q_4 ed inviamoli all'OR-esclusivo G4030. Ad ogni impulso di clock prendiamo le forme d'onda Q_2 e Q_4 e facciamo passare nel G4030, ragionando sulla tavola

ragionando sulla tavola della verità. Sull'uscita 4 del G4030 comparirà la forma dei segnali riportata in diagramma. Questi segnali sono il feedback del generatore e determinano la sequenza 39, 15, ED, 30. Se spostassimo gli ingressi del G4030 su Q_1 e Q_4 il vettore di sincronismo sarebbe diverso. Se osserviamo l'ultima parte delle forme d'onda, si vede che esiste



una combinazione sola e soltanto in cui le uscite $Q_0 - Q_1 - Q_2 - Q_3 - Q_4$ hanno stato logico basso e ciò avviene in corrispondenza degli ultimi bit 10000 del vettore di sincronismo. Questa condizione ci permette di rovesciare lo stato logico di Q_4 e generare il segnale di riconoscimento avvenuto via l'inverter K4001.

continua (7)

La telemetria PSK di Oscar-10 e di AMSAT Phase III-C

ottava puntata
di IV3IBX, IW3ER, I8CVS

L'interfaccia col computer

Porta parallela fra SYNINF e TRS-80

Cominciamo con il descrivere la prima porta da noi realizzata in ordine di tempo. La porta fra demodulatore e computer ha una duplice funzione: la prima è quella di accettare i bit che scorrono in uscita parallela dalla SYNINF ed attendere le condizioni in cui ciascun byte pronto da B0 a B7 deve essere indirizzato verso il computer; la seconda funzione consiste nel fare interagire i segnali generati dal programma con i segnali di Valid Block e clock di byte provenienti dalla SYNINF per verificare le condizioni necessarie affinché i byte, quando pronti, siano indirizzati verso la memoria del computer.

In altri termini, la porta resta chiusa in attesa che il programma verifichi la condizione che al suo ingresso ci sia un byte pronto. Appena questa condizione si verifica, il programma abilita la porta, che si apre ed indirizza il byte al computer.

Siccome la SYNINF fornisce al computer otto bit nello stesso istante, questa è una porta parallela in cui il byte è presente sull'ingresso da B0 a B7.

I segnali che devono essere prelevati dalla SYNINF e inviati alla porta sono i seguenti:

- 1) il segnale di blocco pronto (Valid block negato) presente sul pin 12 del flip-flop H 4013 della SYNINF, identificato con (1);
- 2) il segnale clock di byte pronto a 50 Hz denominato (EX negato) presente sul collettore del BC 182;
- 3) gli otto bit da B0 a B7 che scorrono in continuazione sull'uscita dello shift register P 4015 alla frequenza di 400 bit/sec.

Tutti questi segnali sono applicati agli ingressi di due integrati 3-state 74LS244 che funzionano da veri e propri interruttori elettronici e lasciano passare i bit solo quando il computer, verificato che il byte è pronto, invia il segnale di commutazione ai pin 1 e 19.

Fino a quando il computer non invia questo comando, tutti i segnali presenti agli ingressi dei 3-state non passano in uscita.

Ora noi sappiamo che la trasmissione dei dati è sincrona e che il primo byte del blocco è formato dai primi otto bit ricevuti dopo il segnale di blocco pronto.

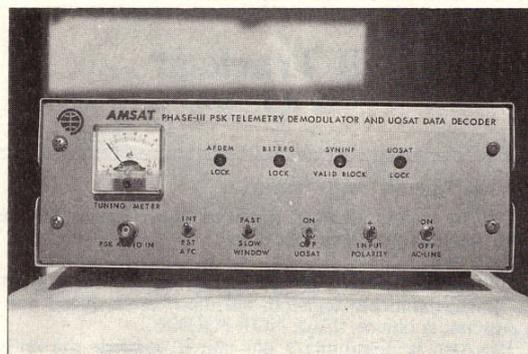
Per sincronizzare tutti i byte successivi nell'interno del blocco è necessario individuare per prima cosa il momento in cui il blocco inizia. Ciò si verifica nell'istante in cui il piedino 12 del 4013 (Valid Block) della SYNINF (fig. 17), diventa basso.

Questa verifica di stato logico basso viene svolta da quella parte di programma scritto appunto in linguaggio macchina, affinché sia molto veloce.

Ciò fatto, il secondo passo da compiere è quello di individuare l'istante in cui il collettore del BC 182 diventa basso, punto (EX negato). Stato logico basso in EX indica che in quel momento gli otto bit che scorrono paralleli da B0 a B7 sono veramente un byte pronto e che questo è il momento in cui il 3-state 74LS244-A deve commutare ed indirizzare gli otto bit al computer.

Anche questa verifica di stato logico basso su (EX) viene svolta dalla routine in linguaggio macchina contenuta nel programma.

Foto nel titolo: pannello frontale del demodulatore PSK per la telemetria dei satelliti della Phase-III ed UOSAT.



Concettualmente e sommariamente le operazioni si svolgono nel seguente modo.

La verifica delle condizioni di blocco pronto e di byte pronto sono svolte dal programma attraverso una veloce interrogazione in linguaggio macchina che avviene fra modulatore e computer.

I segnali di interrogazione generati dal programma arrivano al decoder-demultiplexer 74LS138 attraverso gli address A0 / A7 e così viene generato il segnale "input port F9". Il segnale F9 fa aprire e chiudere il 3-state 74LS244-B con una frequenza di ripetizione di circa 20 kHz applicata ai suoi piedini 1 e 19. In questo modo i segnali di blocco pronto e di byte pronto, se sono presenti, possono passare all'uscita del 3-state.

Il segnale F9 viene generato da una routine in linguaggio macchina che gira ad anello alla frequenza di 20 kHz e ad ogni loop verifica la prima condizione. "E' basso lo stato logico sull'uscita 14 del 3-state 74LS244-B?"

Se il livello trovato è alto, significa che il blocco è in arrivo, ma nell'istante in cui il Valid Block diventa basso, il blocco è arrivato.

La risposta che il blocco è arrivato, od è in arrivo, ritorna al computer perché il piedino 14 del 3-state è collegato al terminale 22 del data-bus del TRS-80.

Ogni volta che il segnale F9 apre la porta, il programma va a sentire lo stato logico sul 22: se il terminale 22 viene trovato alto, la routine continua a girare in anello, ma appena il 22 diventa basso, il programma sente che il blocco è arrivato ed a questo punto la routine esce dal loop, non richiede più la verifica sul blocco e passa alla seconda richiesta per determinare l'arrivo del byte.

Ogni volta che un byte è pronto, lo stato logico EX del clock di byte a 50 Hz è basso per 50 microsecondi e così anche l'uscita 16 del 74LS244-B è bassa.

Anche la routine in linguaggio macchina del byte pronto è chiusa in anello e ad ogni loop va a controllare lo stato logico sull'uscita 16: se il programma trova uno stato logico basso su EX significa che il byte è pronto; se invece lo stato logico di EX risulta alto, significa che i bit stanno scorrendo sugli ingressi del 74LS244-A ad una frequenza di 400 Hz e che il byte è in arrivo.

Siccome il piedino 16 del 3-state è collegato al terminale 30 del data-bus del computer, ogni volta che F9 apre la porta, il programma va a sentire lo stato logico sul 30 e lo fa in anello alla frequenza di circa 20 kHz; appena il 30 diventa basso, per appena 50 microsecondi, il programma determina l'istante in cui il byte è per così dire "fermo" da B0 a B7 sull'ingresso parallelo del 3-state 74LS244-A.

A questo punto il programma sopprime il segnale F9, bloccando il 74LS244-B e genera il segnale F8 che, applicato ai piedini 1 e 19 del 3-state 74LS244-A, mette questo in conduzione, facendo passare il byte completo in memoria al computer.

Durante il tempo in cui il byte transita verso il computer, il segnale di blocco pronto è fermato all'ingresso 6 del 74LS244-B

perché manca il segnale F9 che lo mette in conduzione e così sul data-bus 22 transita solo e soltanto il bit B1 che fa parte del byte.

Non appena il demodulatore viene messo in funzione, il primo blocco ricevuto potrebbe essere già cominciato ed anzi lo è con certezza. In mancanza di vettore di sincronismo, che è già passato, i primi otto bit ricevuti insieme a tutti i successivi di quel blocco costituiscono dei byte errati.

Il programma aggira l'inconveniente rifiutando il blocco già iniziato perché il segnale F8 che fa condurre il 3-state 74LS244-A non viene generato se prima non viene ricevuto il vettore di sincronismo. Ciò consente di scartare la ricezione di dati errati sul primo blocco.

Il controllo dello stato logico sul segnale (EX negato) di byte pronto al piedino 30 del data-bus è fatto da un loop in linguaggio macchina che gira a circa 20 kHz. Un controllo veloce è richiesto perché il segnale (EX) è un impulso molto stretto, di circa 50 microsecondi, ad una frequenza di ripetizione di 50 Hz. La durata di (EX negato) è molto piccola rispetto a quella di un bit, che è pari a 2,5 millisecondi.

Durante l'intervallo di tempo di 50 microsecondi il computer deve cogliere l'istante in cui (EX) diventa basso e prima lo trova, tanto più rapida e coincidente sarà la generazione di F8 che commuta il 3-state 74LS244-A e lascia passare il byte al computer.

Ora, più il loop gira veloce, più richieste di "E' basso lo stato logico sul data-bus 30?" potranno entrare in 50 microsec., tanto da cogliere addirittura il fronte di salita del clock (EX) a 50 Hz.

La fig. 20 mette in evidenza questo concetto e siccome il loop gira a 20 kHz, il tempo impiegato a compiere un loop corrisponde a $T = 1/20.000 \text{ Hz}$ (e cioè appunto 50 microsecondi): ciò significa che ogni impulso di clock di byte contiene sempre almeno una interrogazione e ciò è ampiamente sufficiente agli scopi.

Il TRS-80 usa un microprocessore Z-80, ma ha un clock relativamente lento a 1,6384 MHz, che solo per poco non ha permesso di realizzare la stessa routine in Basic.

Riteniamo opportuno sottolineare che sia la SYNINF che la porta hanno molte funzioni che possono essere realizzate in software, ma chi si accinge a scrivere un programma per eliminare la SYNINF deve conoscere perfettamente tutte le sue funzioni, bit per bit. Per questo motivo abbiamo voluto descrivere in dettaglio l'hardware e le sue funzioni.

In seguito verranno descritte porte per PC, Apple, C-64 e programmi che utilizzano l'uscita seriale della SYNINF. Nella prossima puntata descriveremo come opera il computer per indirizzare verso la porta i segnali generati dal software.

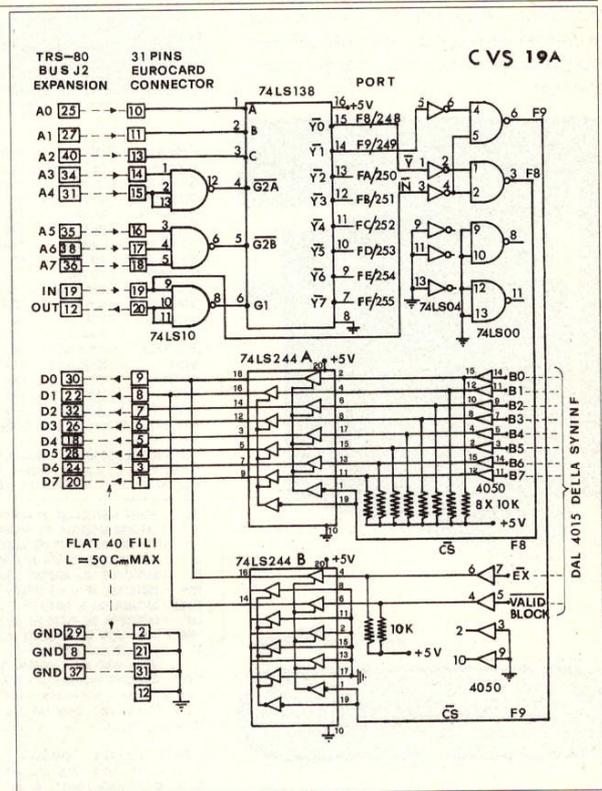


Fig. 19A Porta parallela, interfacciata CMOS-TTL con SYNINF.

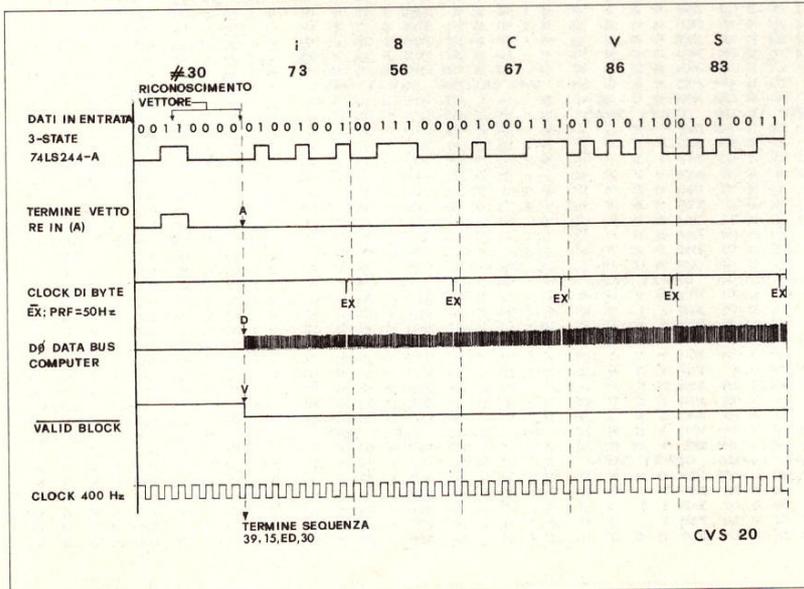


Fig. 20 (qui a fianco).

All'ingresso della porta arriva il blocco formato dal vettore di sincronismo 39, 15, ED, 30 esadecimale seguito da 5 bytes in codice ASCII 73-56-67-86-83 costituenti il nominativo I8CVS. Gli ultimi cinque bit del 30 esadecimale riconoscono il vettore. Il blocco viene riconosciuto valido e lo stato logico del Valid Block in V diventa basso. In A il generatore del vettore di sincronismo della SYNINF si resetta a zero, in attesa che vengano contati 512 byte. I primi otto bit ricevuti dopo il termine del vettore costituiscono il primo byte (i) 73 ASCII. Gli otto bit vengono contati dal 4040 L della SYNINF. Al termine del conteggio, al centro dell'ottavo bit, il BC 182 emette l'impulso EX negativo che dura 50 microsecondi. Appena il blocco inizia, il programma va a testare lo stato logico di EX sul data-bus D0: se lo stato logico è alto, il byte è in arrivo; se lo stato logico è basso, è stato incontrato il byte pronto. Il segnale proveniente dal computer in D0, piedino 16 del 74LS244-B fa un'operazione di AND con EX in anello che gira a circa 20 kHz. Appena EX diventa basso, si genera il segnale F8 che commuta il 74LS244-A ed indirizza il byte al computer. L'operazione si ripete per 512 byte, dopo di che il generatore di sincronismo riparte ed il ciclo continua così per tutti i blocchi successivi.

La telemetria PSK di OSCAR-10 e di AMSAT Phase III-C

di IV3IBX, IW3ER e I8CVS
nona puntata

Interfaccia con il computer Porta parallela fra SYNINF e TRS-80

Osservando la fig. 19 A (v. R.R. 6/87), si vede che la parte costituita dai 74LS138, 74LS10, 74LS04 e dal 74LS00 è collegata agli address del computer ed ha lo scopo di selezionare le due porte F8 e F9.

La funzione di decodifica degli indirizzi inviati dalla CPU viene svolta dal 74LS138. Questo integrato è un demultiplexer a tre bit, cosicché attraverso la combinazione logica dei segnali sugli ingressi A, B, C attiva una delle otto linee di output da Y0 a Y7.

Gli ingressi di abilitazione G2A e G2B del demultiplexer 74LS138 vengono utilizzati per decodificare i restanti 5 bit. L'ingresso G1 viene abilitato da un segnale di IN o di OUT generato dalla CPU affinché la combinazione degli indirizzi non si possa confondere con una locazione di memoria ma riguardi solamente l'abilitazione di una porta.

Abbiamo scelto le porte F8 e F9 perché nel TRS-80 queste non sono occupate dalla logica interna del computer.

Per abilitare la porta F8, la CPU emette sul bus indirizzi la sequenza 11111000, rispettivamente A7=1; A6=1; A5=1; A4=1; A3=1; A2=0; A1=0; A0=0 (tutti questi segnali sono generati nello stesso istante dalla CPU sul bus indirizzi).

Gli address A5, A6, A7 sono collegati agli ingressi 3, 4, 5 del 74LS10 e generano una uscita a livello basso solo se sono presenti contemporaneamente.

Anche gli address A4 e A3, i quali sono collegati agli ingressi 1 e 2+3 del 74LS10, quando hanno insieme stato logico uguale danno un'uscita a livello basso sul piedino 12.

Gli address A0, A1 e A2, anch'essi a livello logico basso, sono collegati direttamente agli ingressi 1, 2 e 3 del demultiplexer 74LS138.

Nello stesso istante in cui la CPU genera la sequenza logica degli indirizzi e nel caso specifico 11111000, genera anche un segnale di IN o di OUT. Noi utilizziamo solamente il segnale di IN e lo inviamo al piedino 9 del 74LS10.

Siccome il segnale di IN è a livello basso, l'uscita del 74LS10 (piedino 8) diventa alta.

Con la combinazione logica che abbiamo fotografato nell'istante in cui la sequenza logica degli indirizzi è 11111000, il demultiplexer 74LS138 manda a livello basso l'uscita Y0 sul pin 15.

L'attivazione della porta F9 si ottiene con gli stessi criteri, ma con una combinazione logica degli ingressi 11111001 e quindi A0, in questo caso, sarà alto.

L'abilitazione ora ottenuta è valida sia per fare un INPUT che un OUTPUT. Poiché a noi serve solo l'attivazione in ingresso, dobbiamo fare una ulteriore decodifica. Per ottenere ciò facciamo passare il segnale Y0 attraverso l'invertitore 74LS04, che ne cambia lo stato logico, ed applichiamo lo stesso al piedino 1 del NAND 74LS00. Facciamo la stessa operazione con il segnale di IN proveniente direttamente dalla CPU.

A questo punto, con Y0 e IN entrambi a livello basso, avremo gli ingressi 1 e 2 del 74LS00 a livello alto e perciò l'uscita pin 3 passa a stato logico basso, o CS negato (chip select).

Tutto ciò è valido anche per la selezione della porta F9.

Da un punto di vista circuitale, la porta impiega circuiti integrati con logica TTL a 5 V, così come il computer. Al contrario, la scheda SYNINF che precede la porta, impiega logica CMOS a 12 V: ciò rende impossibile inviare direttamente alla porta TTL i dati a 0 - 12 V forniti dall'uscita della SYNINF.

Per rendere compatibili i segnali bisogna interporre fra SYNINF e porta due convertitori di livello CMOS/TTL con funzione di buffer non invertenti.

Il compito del buffer 4050 è dunque quello di cambiare i livelli dei segnali logici CMOS in livelli TTL senza introdurre alcuna inversione di stato.

Oltre a ciò, tutti gli ingressi dei three-state 74LS244, la cui funzione è stata descritta su R.R. 6/76, sono polarizzati a +5V tramite un gruppo di resistenze di pull-up da 10K, che li porta a stato logico alto.

Appena i segnali dei dati arrivano all'ingresso dei three-state, se lo stato logico è alto, la tensione resta a +5 V, se invece lo stato logico è basso, l'ingresso del three-state va praticamente a massa.

Siccome la resistenza da 10K ha un valore molto elevato, la corrente che "forza" a zero l'ingresso del three-state è appena di 0,5 mA.

Queste resistenze di pull-up si usano per evitare fenomeni transitori indesiderati durante la commutazione di stato.

In sé, la porta potrebbe essere di molto semplificata ed ai più esperti sembrerà certo sorpassata. In ogni caso è la prima che abbiamo usato e che funziona attualmente sui nostri TRS-80 (IV3IBX & I8CVS).

La fig. 19 riporta lo schema completo di cablaggio della porta il cui schema logico appare in fig. 19A di R.R. 6/87.

Per maggiore comprensione e per i più esperti, riportiamo il listato in Assembler delle routine che fanno parte della selezione della porta. Attraverso questa sorgente è possibile vedere bit per bit come funziona la porta e siamo certi che potrà essere di aiuto a chi volesse cimentarsi su computer diversi e su microprocessori utilizzanti lo Z80.

Non è possibile invece pubblicare su R.R. l'intero programma in Basic per motivi di spazio, essendo molto vasto. Coloro che, realizzato il demodulatore, volessero il listato od un disco del programma, potranno averlo gratuitamente mettendosi in contatto con IV3IBX o con I8CVS. Il termine "gratuitamente" è rivolto a coloro che avranno dimostrato di aver costruito il demodulatore.

Ricordiamo che il programma gira su TRS-80 Mod. I, Liv. II con sistema operativo NEW DOS 80.

Disponiamo inoltre di programmi realizzati per altri computer come IBM, o compatibile, e Commodore 64. Questi programmi sono stati elaborati successivamente, dopo la maturazione di una certa esperienza e ciò ha reso più semplici le cose.

Per questi ultimi computer non è più necessario costruire la intera SYNINF, ma basta realizzare la parte relativa alla decodifica differenziale, giacché tutte le altre funzioni, compreso il riconoscimento del vettore di sincronismo, sono fatte in software.

Sia il computer IBM, e compatibili, che il Commodore 64 utilizzano una porta seriale che è molto semplice e verrà descritta nella prossima puntata. Almeno per il Commodore 64 riteniamo possibile pubblicare l'intero programma su R.R., in quanto questo computer è di interesse generale.

Tutte le schede in circuito stampato in vetroresina a doppia faccia sono disponibili ponendosi in contatto con I2PZB di Milano.

Tutti i programmi per il Commodore 64 vanno richiesti a IW3ER, quelli per IBM, o compatibili, a IV3IBX e quelli per TRS-80 a IV3IBX od a I8CVS.

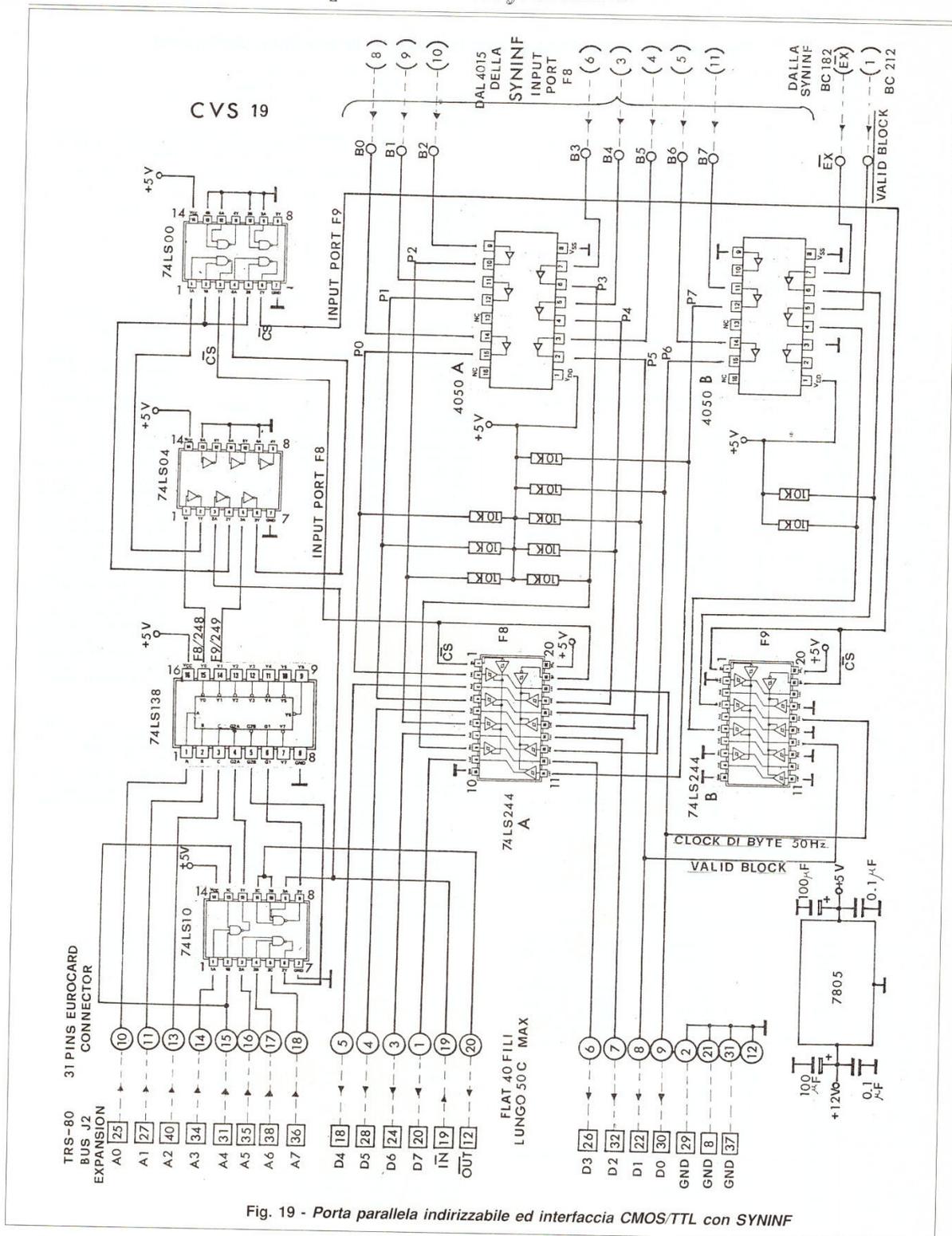


Fig. 19 - Porta parallela indirizzabile ed interfaccia CMOS/TTL con SYNINF

Spazio nuova frontiera

Programma in Assembler delle routine per la selezione della porta

```

00010 ;TESTA IL BIT 3 PER IL CLOCK A 50 HZ
00020 ;RICEVE IL BYTE IN PARALLELO
00030 ;NON HA IL CRC .TEST SUL VALID BLOCK CON NZ
00040 ;
00050 ;PROGRAMMA * PSKSER1/CMD * 20/08/86 * USR1
-----
FE00 00070 ORG OFE00H ;START
FE00 F3 00080 DI ;DISAB INTER
FE01 21FFEF 00100 LD HL,DEFFFH;DEP. DATI IN ARRIVO PORTI FB
FE02 0100D2 00100 LD BC,0200H;512 BYTE
FE07 DBF9 00110 PORT IN A,(OF9H); IN ACC L'INPUT DI F9
FE09 E602 00120 AND 02H; BIT N.2 VALID BLOCK.
FE0B C207FE 00130 JP NZ,PORT ;RILEGGE LA PORTA
FE0E DBF9 00140 CLOCK IN A,(OF9H);INPUT DEL CLOCK SU F9
FE10 E604 00150 AND 04H;BIT N.1 CLOCK
FE12 CADEFE 00160 JP Z,CLOCK ;SE NON CE' ATTENDE
FE15 DBFF 00170 IN A,(OF8H); LEGGE LA PORTA FB DATI IN ACC.
FE17 77 00180 LD (HL),A;METTE IL DATO NELLA LOC. SPEC
FE18 23 00190 INC HL
FE19 08 00200 DEC BC
FE1A DBF9 00210 DATI IN A,(OF9H);ASPETTA CHE TERMINI IL CLOCK
FE1C E604 00220 AND 04H
FE1E C21AFE 00230 JP NZ,DATI;'E' FINITO ?
FE21 78 00240 LD A,B
FE22 FE00 00250 CP 00H
FE24 C20EFE 00260 JP NZ,CLOCK
FE27 79 00270 LD A,C
FE28 FE00 00280 CP 00H
FE2A C20EFE 00290 JP NZ,CLOCK
FE2D FB 00300 BAS EI ;RIABILITA INTER.
FE2E C9 00310 RET ;BASIC
-----
00320 ;
00330 ;
00340 ;CONTROLLA IL CODICE DELLA RIGA TR4 .SE CI SONO ERRORI
00350 ;NON COMPATTA I 128 BYTE DEL BLOCCO * Q * RICEVUTO USR2
-----
FE2F 010B00 00360 LD BC,00H ;N CAN DA CONT
FE32 21F0F1 00370 LD HL,OF10H ;IND IN FINE BLOCCO
FE35 7E 00380 LD A,(HL)
FE36 08 00390 RILEG DEC BC
FE37 23 00400 INC HL
FE38 BE 00410 LD A,(HL)
FE39 F5 00420 PUSH AF
FE3A 79 00430 LD A,C
FE3B FE00 00440 CP 00H
FE3D 2804 00450 POP AF
FE3F F1 00460 JP RILEG
FE40 C336FE 00470 JP RILEG
FE43 F1 00480 ESAT POP AF
FE44 FE03 00490 CP 03H
FE46 CD 00500 RET NZ
FE47 014000 00510 LD BC,00040H;N.32 CARATTERI DA CONTROLLARE
FE4A 21C0F0 00520 LD HL,OF000H; PRELIEVO IN RAM
FE4E 7E 00530 CP NZ
FE4F FE20 00540 CP 020H;CODICE DI SPAZIO
FE50 C261FE 00550 JP NZ,ERROR ;SE CE' ERRORE ESCE
FE53 23 00560 INC C
FE54 0D 00570 DEC C
FE55 79 00580 LD A,C
FE56 B1 00590 OR C
FE57 C24DFE 00600 JP NZ,CTSPZ ;LEGGE IL N. BLOCCHI RIC
FE5A 3A70FF 00610 LD A,(OFF70H)
FE5E 3C 00620 INC A
FE5F 3270FF 00630 LD (OFF70H),A ;SCRIVE IL VALORE INCR
FE61 C9 00640 ERROR RET ;BASIC
-----
00650 ;PRELEVA SOLTANTO I 128 BYTE UTILI E LI TRASFERISCE
00660 ;VIENE MODIFICATA DAL BASIC. DURANTE L'ESECUZIONE USR3
00680 ;
-----
FE62 018000 00690 LD BC,00080H;N.128 DATI BLOCCO Q
FE65 1100B0 00700 LD DE,0B00H;DEPOSITO DATI COMPATT
FE68 2180F1 00710 LD HL,OF180H;PRELIEVO IN RAM
FE6B EDB0 00720 LDIR
FE6D C9 00730 RET ;BASIC
-----
00750 ;TRASFERIMENTO DI UN BLOCCO * K * L * M * N * * USR4
00760 ;
-----
FE6E 0100D2 00770 LD BC,0200H;N BYTE BLOCCO K
FE71 1100F4 00780 LD DE,0F400H;DEPOSITO BLOCCO K
FE74 2100F0 00790 LD HL,OF000H;PRELIEVO
FE77 EDB0 00800 LDIR
FE79 C9 00810 RET ;BASIC
-----
00830 ;TRASFERIMENTO DI UN BLOCCO * IN VIDEO USR5
00840 ;
-----
FE7A 01FF01 00850 LD BC,001FFH;N. 512 BYTE BLOCCO Y
FE7D 11FFEF 00860 LD DE,DEFFFH ;DEPOSITO DATI BLOCCO Y
FE80 21FF3B 00870 LD HL,03BFFH;PRELIEVO DATI BLOCCO Y
FE83 EDB0 00880 LDIR
FE85 C9 00890 RET ;BASIC
-----
00910 ;TRASFERIMENTO IN VIDEO CON SOPP ERRORI USR6
00920 ;
-----
FE86 11803C 00930 LD DE,03C0H ;POS VIDEO DEPOSITO
FE89 01FF01 00940 LD BC,01FFH ;N.BYTE DA SPOSTARE
FE8C 2100DA 00950 LD HL,0DA00H ;POS RAM DI PRELIEVO
FE8F 7E 00960 START LD A,(HL)
FE90 FE1F 00970 CP 1FH ;CODICE 32 E' OK
FE92 DA9EFE 00980 JP C,SBAG ;MODIF IL CARATTERE
FE95 FE7A 00990 CP 7AH ;CODICE 122 E'OK
FE97 D29EFE 01000 JP NC,SBAG ;MODIF IL CARATTERE
FE9A 12 01010 LD (DE),A ;CARATTERE GIUSTO
FE9B C3A1FE 01020 JP B,SBAG ;CORREGGE IL BYTE
FE9E 3E2A 01030 SBAG LD A,2AH ;CODICE DEL *
FEA0 12 01040 LD (DE),A ;CARICATO IN ACC
FEA1 13 01050 GIUSTO INC DE
FEA2 23 01060 INC HL
FEA3 08 01070 DEC BC
FEA4 78 01080 LD A,B
FEA5 FE00 01090 CP 00H
FEA7 C28FFE 01100 JP NZ,START
FEA8 79 01110 LD A,C
FEAB FE00 01120 CP 00H
FEAD C28FFE 01130 JP NZ,START
FEB0 C9 01140 RET
-----
01160 ;SPOSTA LA VIDEATA IN RAM E LA RIPORTA IN VIDEO USR 7
01170 ;
-----
FEB1 0100D4 01180 LD BC,1024
FEB4 1100C0 01190 LD DE,0EC00H
FEB7 21003C 01200 LD HL,03C00H
FEB8 EDB0 01210 LDIR
FEBC C9 01220 RET
-----
01230 ;
-----
01240 ;TRASFER PER ELABORAZIONE DATA E MA. DURANTE I BLOCCHI KLMNY
01250 ; USR8
-----
FEBD 018000 01260 LD BC,0800H ;N DATI
FEC0 1180EB 01270 LD DE,0E800H ;DEP
FEC3 2180F1 01280 LD HL,OF180H ;PREL
FEC6 EDB0 01290 LDIR
FEC8 C9 01300 RET
-----
01310 ;PROGRAMMA DEL 16/09/85 RICONOSCE IL CODICE DI SYNCRO
01320 ;RICEVE E METTE IN MEMORIA VIDEO IL BLOCCO DI 512 BYTE
01330 ; PSKSER1/SOR E PSKSER1/CMD USR9
-----
01340 ;
01350 ;DATI DEL CODICE DI SINCRONISMO SU 15 ED 30 DI OSCAR 10
-----
FED0 01370 ORG OFE00H ;ORIGINE PROGRAMMA IN RAM
FED0 3E39 01380 LD A,039H
FED2 3260FF 01390 LD (OFF60H),A ;PRIMO SYNC.
FED5 3E3F 01400 LD A,03FH
FED7 3261FF 01410 LD (OFF61H),A ;SECON SYNC.
FEDA 3EED 01420 LD A,0EDH
FEDC 3262FF 01430 LD (OFF62H),A ;TERZO SYNC.
FEDF 3E3D 01440 LD A,03DH
FEE1 3263FF 01450 LD (OFF63H),A ;QUART SYNC.
-----
01470 ;
01480 ;INIZIO PROGRAMMA 1 PORTA SERIALE PER OSCAR10
01490 ;
-----
FEE4 F3 01500 DI ;DISABILITA INTERRUZIONI
FEE5 DE00 01510 START1 LD C,00 ;AZZERA IL REG. C
FEE7 2160FF 01520 LD HL,OFF60H ;PUNTA AL 1 BYTE DI SYNC
FEEA 46 01530 LD B,(HL) ;IN B IL 39H
FEEB C032FF 01540 AGAIN0 CALL ATTUP ;ATTI IL CLOCK SIA ALTO
FEEC C039FF 01550 CALL ATDOWN ;ATTI IL CLOCK SIA BASSO
FEEF C83F 01560 SRL A ;SPOSTA A DESTRA VAL DI A
FEF0 C811 01570 RL C ;RUOTA VAL. DI C SINISTRA
FEF1 78 01580 LD A,B ;PONE IN A IL 1 COD DI SY
FEF2 B9 01590 CP C ;CONFRONTA CON IL REG C
FEF3 20F2 01600 JR NZ,AGAIN0 ;SE DIVERSO RIPETE
FEF4 DE01 01610 RIENT INC HL ;PUNTA AL 2 VAL DI SYNCRO
FEF5 DE01 01620 LD C,01H ;PONE IN A IL VALORE DI C
FEF6 C032FF 01630 AGAIN1 CALL ATTUP ;ATTENDE IL CLOCK ALTO
FEF7 C039FF 01640 CALL ATDOWN ;ATTENDE IL CLOCK BASSO
FEF8 C83F 01650 SRL A ;SPOSTA A DESTRA
FEF9 C811 01660 RL C ;RUOTA VAL. DI C SINISTRA
FEFA 30F4 01670 JR NC,AGAIN1 ;RIPETE PER B VOLTE
FEFB 79 01680 CP (HL) ;PONE IN A IL VALORE DI C
FEFC 02E5FE 01690 JP NZ,START1 ;CONFRONTA CON IL SYNCRO
FEFD 70 01700 LD A,L ;SE ( ) RIPRENDE DALL'INIZ
FEFE F6E3 01710 CP 063H ;PONE IN A IL VAL REG L
FEFF C2F2FE 01720 JP NZ,RIENT ;SE ( ) CONTROLLARE ALTRO
FF00 2100F0 01730 LD HL,OF000H ;INDIRIZZO AREA RAM
FF01 110602 01740 LD DE,02D6H ;NUM BYTE DA RICEVERE
FF02 DE01 01750 LD C,01 ;PONE AD 1 IL BIT 0 DI C
FF03 C032FF 01760 CALL ATTUP ;ATTENDE IL CLOCK ALTO
FF04 C039FF 01770 CALL ATDOWN ;ATTENDE IL CLOCK BASSO
FF05 C83F 01780 SRL A ;SPOSTA A DESTRA VAL DI A
FF06 C811 01790 RL C ;RUOTA VAL. DI C SINISTRA
FF07 F23 CB11 01800 LD A,C ;PONE IN A IL VALORE DI C
FF08 D218FF 01810 JP NC,AGAIN2 ;RIPETE PER B VOLTE
FF09 71 01820 LD (HL),C ;METTE IL BYTE IN VIDEO
FF0A 23 01830 INC HL ;INCREMENTA LA POS VIDEO
FF0B DE01 01840 DEC DE ;INCREMENTA I BYTE DA RIC
FF0C 7A 01850 LD C,01H ;PONE AD 1 IL BIT 0 DI C
FF0D 83 01860 LD A,D ;METTE IN A MSB DEL REG D
FF0E 83 01870 OR E ;CONTR SE FINITI I DATI
FF0F 20EA 01880 JR NZ,AGAIN2 ;SE NON O RICEVE ANCORA
FF10 C9 01890 RET ;SE O RITORNA AL BASIC
-----
01900 ;
01910 ;INIZIO CICLI DI ATTESA
01920 ;
-----
FF32 D800 01930 ATTUP IN A,(000H) ;IN A IL VAL LETTO PORTA
FF34 C87F 01940 BIT 7,A ;CONTR BIT 7 SIA ALTO
FF36 C0 01950 RET NZ ;SE ALTO RITORNA
FF37 18F9 01960 JR ATTUP ;SE BASSO RIPETE
-----
FF39 D800 01970 IN A,(000H) ;IN A IL VAL DELLA PORTA
FF3B C87F 01980 BIT 7,A ;CONTR BIT 7 SIA ALTO
FF3D 20FA 01990 LD NZ,ATDOWN ;SE BIT 7 ALTO RIPETE
FF3F C9 02010 RET ;SE BIT 7 BASSO RITORNA
-----
02020 ;
02030 ;CANCELLAZIONE PARTE DEL VIDEO USR 0
02040 ;
-----
FF40 0100D2 02050 LD BC,02000H
FF43 11003C 02060 LD DE,03C00H
FF46 3E20 02070 ZCLS LD A,20H
FF48 12 02080 LD (DE),A
FF49 08 02090 DEC BC
FF4A 13 02100 INC DE
FF4B 79 02110 LD A,C
FF4C 80 02120 OR B
FF4D C246FF 02130 JP NZ,ZCLS
FF50 C9 02140 RET
-----
02150 ;LA PORTA PUO' ESSERE MODIFICATA COME NUMERO.
02160 ;IL CLOCK VA COLLEGATO AL BIT 7 DELLA PORTA * D 07 *
02170 ;IL DATO VA COLLEGATO AL BIT 0 DELLA PORTA * D 00 *
02180 ;LA TENSIONE MAX DEL CLOCK E DATI E' DI 5 VOLT.
02190 ;PRESTARE ATTENZIONE AI COLLEGAMENTI DI ADDRESS PER LA
02200 ;SELEZIONE DELLA PORTA ABILITATA.
02210 ;
02220 ; END 4020H ; FULVIO IV3 IBX.
-----
00000 TOTAL ERRORS
27978 TEXT AREA BYTES LEFT
-----
AGAIN0 FEEB 01540 01600
AGAIN1 FEEF 01560 01670
AGAIN2 FFB 01810 01880
ATDOWN FF39 01970 01550 01630 01780 02000
ATTUP FF32 01930 01540 01630 01770 01960
BAS FE2D 00300
CLOCK FE86 00930 00140 00260 00290
CTSPZ FE40 00550 00600
DATI FE1A 00210 00230
ERROR FE41 00640 00550
ESAT FE43 00480 00450
GIUSTO FE41 01050 01020
PORT FE07 00110 00130
RIENT FE95 01090 01730
RILEB FE3A 00590 00470
SBAG FE9E 01030 00980 01000
START FEBF 00960 01100 01130
START1 FEES 01510 01700
ZCLS FF46 02070 02130

```

Spazio nuova frontiera

Giacché i programmi sono in continua evoluzione, per il momento essi non sono disponibili presso il servizio Software Exchange dell'AMSAT-I.

Siamo quasi arrivati alla fine di questa trattazione e vogliamo

Blocco M Messaggi e informazioni tra stazioni di controllo

M DE DJ4ZC, 534-183: THIS IS MY LAST ACTIVITY BEFORE SHUTTING DOWN THIS PLACE HERE. ALL SEEMS TO BE SET OK FOR THE NEXT COUPLE OF WEEKS. I AM LOOKING FORWARD TO GETTING MY ANTENNA UP SOON IN THE NEW PLACE AND WILL TRY TO BE ON LINE AGAIN WHICH I'LL ANNOUNCE THIS WAY.
ROBIN GAPE CALLED YESTERDAY AND INFORMED THAT IPS BASICALLY DOE SNORK IN THE NEW ATARI'S, BUT SOME MINOR PROBLEMS NEED FIXING. PV I TSOULD BE NO BIG DEAL IF WE GET SOME DOCUMENTATION. 73'S KA RL

YVWHI, THIS IS AMSAT OSCAR 10

14:10:21 2252

VALORI E FUNZIONI DEI CANALI TELEMETRICI TRASMESSI DAL SATELLITE AMSAT OSCAR 10 RICEVUTI DA IV3 I BX E IW3 ER

DATA 7 MAR 84 QRE GMT 13 : 23 : 12
ORBITA N. 549 M.A. 181 SUN.A. 49

CH	VALORE	TELEMETRIE	OSCAR 10
3	20,8	TEMP. MODULO RICEVITORE	UHF
42	17,0	TEMP. MODULO RICEVITORE	SHF
38	26,9	TEMP. MODULO TRASMISSIONE	UHF
7	36,8	TEMP. MODULO TRASMISSIONE	VHF
15	23,6	TEMP. MODULO RICARICA BATT.	
23	13,1	TEMP. BATTERIA PRINCIPALE N.1	
27	16,4	TEMP. BATTERIA PRINCIPALE N.2	
31	13,7	TEMP. BATTERIA AUSILIARIA N.3	
35	11,5	TEMP. ARRAY 01 BRAC.01 PAN.A	
39	10,9	TEMP. ARRAY 03 BRAC.02 PAN.A	
43	10,4	TEMP. ARRAY 05 BRAC.03 PAN.A	
47	21,9	TEMP. SUPERFICE - Z LATO ANT.	
51	18,1	TEMP. SUPERFICE - Z LATO MOT.	
54	19,2	TEMP. SCHEMO CENTRALE BRAC 1	
50	13,7	TEMP. SCHEMO CENTRALE BRAC 2	
46	8,24	TEMP. SCHEMO CENTRALE BRAC 3	
11	16,4	TEMP. MODULO CONTROLLO MOTORE	
19	14,2	TEMP. MODULO S.E.U.	
34	11,5	TEMP. CONTENITORE ELIO	
55	13,7	TEMP. SERBATOIO TETROSSIDO	
62	15,3	TEMP. SERBATOIO U.D.M.H	
59	8,24	TEMP. SENSORE DI TERRA	
58	15,3	TEMP. SUPP.CENT. CILINDRICO	
63	10,9	TEMP. SMORZATORE NUTAZIONI	
28	1413	CORRENTE INGRESSO MODULO BCR	
32	0	CORRENTE USCITA MODULO BCR	
24	0	CORRENTE ARRAY 6 BRAC.3 PAN.B	
36	0	CORRENTE ARRAY 5 BRAC.3 PAN.A	
40	0	CORRENTE ARRAY 4 BRAC.2 PAN.B	
44	511,0	CORRENTE ARRAY 3 BRAC.2 PAN.B	
48	0	CORRENTE ARRAY 2 BRAC.1 PAN.B	
52	598,0	CORRENTE ARRAY 1 BRAC.1 PAN.A	
20	278,0	CORRENTE RICARICA BATTERIA	
12	0	CORRENTE AD ALTRI CARICHI	
16	169,0	REGOLATORE DI CORRENTE A 10V	
8	2022	CORRENTE RIFERIMENTO A 14V	
41	103	FUNZIONE SPECIALE	
53	238	FUNZIONE SPECIALE	
4	0	CANALE RISERVATO	
6	0	CANALE RISERVATO	
1	30	TENSIONE INPUT MODULO BCR	
5	13,7	TENSIONE OUTPUT MODULO BCR	
9	9,95	REGOLATORE DI TENSIONE. 10 V.	
45	13,9	TENSIONE BUS SEPARATO A 14 V.	
49	9,4	REG. DI TENS A +9 V TRASP UHF	
61	0,44	REGOLATORE DI TENS. TRASP SHF	
57	225	TENSIONE BATTERIA AUSILIARIA	
22	31	FUNZIONE SPECIALE	
21	11	SENSORE + Z LATO ANTENNE	
25	36	SENSORE - Z 63 SOLE A 90 GRADI	
13	101	STATO BCR 1 SUP. A 90 ACCESO	
17	0	STATO BCR 2 INF. A 90 SPENTO	
2	0	POT. OUT. TX MODO L. IN WATT	
30	0	ATT. RX MODO L. IN DECIBEL	
33	9,8	POT. OUT. TX MODO U. IN WATT	
37	17,9	ATT. RX MODO U. IN DECIBEL	
29	118	SPIN RATE -- GIUSTO--	
18	27	CANALE LIBERO DI PRESSIONE	
10	711	PRESSIONE ELIO -- GIUSTO--	
14	8,8	REG. PRESSIONE OUT. IN ATM.	
26	0	TEMP. SUPPORTO DEL MOTORE	
56	0	CANALE LIBERO	
60	0	CANALE LIBERO	
64	0	CANALE LIBERO	

ringraziare quanti ci hanno seguito con interesse, assicurandoli che la ricezione dei dati telemetrici della Phase-III ripaga con molta soddisfazione gli sforzi compiuti in una materia così poco conosciuta ed allo stato dell'arte nella ricerca amatoriale.

Si ricorda che nella banda dei 70 cm il segmento 435-436 MHz è riservato anche all'attività satellistica
Si prega pertanto di non installare ripetitori utilizzando come uscita od ingresso quelle frequenze che possono interferire con il Servizio d'Amatore via Satelliti
Consultatevi con i Manager A.R.I. dei vari settori

Dati orbitali di OSCAR-10

06	8	95	39	587	30667	26	297	84	187	DAY 18/07	ORBIT 3079								
07	8	91	35	826	24549	27	294	104	209	07	8	238	17	-2255	25089	-2	33	13	43
08	-	84	12	970	17368	24	277	141	231	08	8	243	26	-799	31003	6	32	10	65
09	8	251	29	-574	35251	12	36	23	87	09	8	251	29	-574	35251	12	36	23	87
10	8	259	28	-341	37772	16	41	33	109	10	8	259	28	-341	37772	16	41	33	109
11	8	267	26	-110	36584	19	47	43	151	11	8	267	26	-110	36584	19	47	43	151
12	8	273	24	128	37431	22	52	53	153	12	8	273	24	128	37431	22	52	53	153
13	8	277	22	388	34755	25	55	63	175	13	8	277	22	388	34755	25	55	63	175
14	8	279	21	688	29456	27	55	74	197	14	8	279	21	688	29456	27	55	74	197
15	8	275	24	1067	21754	27	47	95	219	15	8	275	24	1067	21754	27	47	95	219
16	-	236	32	1490	10723	15	17	138	241	16	-	236	32	1490	10723	15	17	138	241
17	-	229	17	-1567	22315	-5	26	21	36	17	-	229	17	-1567	22315	-5	26	21	36
18	8	232	31	-865	28711	4	22	7	58	18	8	232	31	-865	28711	4	22	7	58
19	8	240	36	-645	33479	10	25	20	80	19	8	240	36	-645	33479	10	25	20	80
20	8	240	36	-645	33479	10	25	20	80	20	8	240	36	-645	33479	10	25	20	80
21	8	240	36	-645	33479	10	25	20	80	21	8	240	36	-645	33479	10	25	20	80
22	8	240	36	-645	33479	10	25	20	80	22	8	240	36	-645	33479	10	25	20	80
23	8	240	36	-645	33479	10	25	20	80	23	8	240	36	-645	33479	10	25	20	80
24	8	240	36	-645	33479	10	25	20	80	24	8	240	36	-645	33479	10	25	20	80
25	8	240	36	-645	33479	10	25	20	80	25	8	240	36	-645	33479	10	25	20	80
26	8	240	36	-645	33479	10	25	20	80	26	8	240	36	-645	33479	10	25	20	80
27	8	240	36	-645	33479	10	25	20	80	27	8	240	36	-645	33479	10	25	20	80
28	8	240	36	-645	33479	10	25	20	80	28	8	240	36	-645	33479	10	25	20	80
29	8	240	36	-645	33479	10	25	20	80	29	8	240	36	-645	33479	10	25	20	80
30	8	240	36	-645	33479	10	25	20	80	30	8	240	36	-645	33479	10	25	20	80
31	8	240	36	-645	33479	10	25	20	80	31	8	240	36	-645	33479	10	25	20	80
32	8	240	36	-645	33479	10	25	20	80	32	8	240	36	-645	33479	10	25	20	80
33	8	240	36	-645	33479	10	25	20	80	33	8	240	36	-645	33479	10	25	20	80
34	8	240	36	-645	33479	10	25	20	80	34	8	240	36	-645	33479	10	25	20	80
35	8	240	36	-645	33479	10	25	20	80	35	8	240	36	-645	33479	10	25	20	80
36	8	240	36	-645	33479	10	25	20	80	36	8	240	36	-645	33479	10	25	20	80
37	8	240	36	-645	33479	10	25	20	80	37	8	240	36	-645	33479	10	25	20	80
38	8	240	36	-645	33479	10	25	20	80	38	8	240	36	-645	33479	10	25	20	80
39	8	240	36	-645	33479	10	25	20	80	39	8	240	36	-645	33479	10	25	20	80
40	8	240	36	-645	33479	10	25	20	80	40	8	240	36	-645	33479	10	25	20	80
41	8	240	36	-645	33479	10	25	20	80	41	8	240	36	-645	33479	10	25	20	80
42	8	240	36	-645	33479	10	25	20	80	42	8	240	36	-645	33479	10	25	20	80
43	8	240	36	-645	33479	10	25	20	80	43	8	240	36	-645	33479	10	25	20	80
44	8	240	36	-645	33479	10	25	20	80	44	8	240	36	-645	33479	10	25	20	80
45	8	240	36	-645	33479	10	25	20	80	45	8	240	36	-645	33479	10	25	20	80
46	8	240	36	-645	33479	10	25	20	80	46	8	240	36	-645	33479	10	25	20	80
47	8	240	36	-645	33479	10	25	20	80	47	8	240	36	-645	33479	10	25	20	80
48	8	240	36	-645	33479	10	25	20	80	48	8	240	36	-645	33479	10	25	20	80
49	8	240	36	-645	33479	10	25	20	80	49	8	240	36	-645	33479	10	25	20	80
50	8	240	36	-645	33479	10	25	20	80	50	8	240	36	-645	33479	10	25	20	80
51	8	240	36	-645	33479	10	25	20	80	51	8	240	36	-645	33479	10	25	20	80
52	8	240	36	-645	33479	10	25	20	80	52	8	240	36	-645	33479	10	25	20	80
53	8	240	36	-645	33479	10	25	20	80	53	8	240	36	-645	33479	10	25	20	80
54	8	240	36	-645	33479	10	25	20	80	54	8	240	36	-645	33479	10	25	20	80
55	8	240	36	-645	33479	10	25	20	80	55	8	240	36	-645	33479	10	25	20	80
56	8	240	36	-645	33479	10	25	20	80	56	8	240	36	-645	33479	10	25	20	80
57	8	240	36	-645	33479	10	25	20	80	57	8	240	36	-645	33479	10	25	20	80
58	8	240	36	-645	33479	10	25	20	80	58	8	240	36	-645	33479	10	25	20	80
59	8	240	36	-645	33479	10	25	20	80	59	8	240	36	-645	33479	10	25	20	80
60	8	240	36	-645	33479	10	25	20	80	60	8	240	36	-645	33479	10	25	20	80
61	8	240	36	-645	33479	10	25	20	80	61	8	240	36	-645	33479	10	25	20	80
62	8	240	36	-645	33479	10	25	20	80	62	8	240	36	-645	33479	10	25	20	80
63	8	240	36	-645	33479	10	25	20	80	63	8	240	36	-645	33479	10	25	20	80

La telemetria PSK di Oscar-10
e della Phase III-C

Decima puntata

Porta seriale e programma per C.64

di IW3ER, IV3IBX, I8CVS

I possessori del Commodore 64 dovranno realizzare soltanto le schede AFDEM, BITREG e la porta seriale qui descritta. Per tale computer infatti, molte funzioni svolte dalla SYNINF sono state realizzate in software e così della SYNINF è rimasta solo la parte di ingresso che realizza la decodifica differenziale. La porta seriale che proponiamo rende le cose più semplici ed infatti gli integrati 4013 e 4030 realizzano la decodifica differenziale, mentre il 4050 svolge la funzione di convertitore CMOS/TTL. Infine il 74LS367 ed il 74LS28 costituiscono la porta seriale vera e propria.

Gli unici fili che dovranno essere portati dal BITREG alla porta seriale sono tre: clock, dati e massa comune. Più esattamente: dati = 1; massa = 3-11-30; clock a 400 Hz = 2.

All'uscita della porta seriale avremo altri tre fili che andranno collegati alla user-port del computer attraverso un apposito connettore facilmente reperibile in commercio. In particolare, i dati D0 andranno collegati al bit 0 pin C; il clock D7 sarà collegato a bit 7 pin L; la massa andrà al pin A della user-port.

La schedina della porta seriale andrà alimentata con 12 V per la parte CMOS, mentre la parte TTL sarà alimentata mediante un regolatore di tensione 12 V / 5 V, che si omette di descrivere essendo del tutto convenzionale.

Costruito l'hardware, si pone il problema di come poter decodificare i dati ricevuti. Il programma per C.64 che esamineremo è composto di due parti: una in Assembler (linguaggio particolarmente indicato per la rapida ricezione coi dati sincroni attraverso la user-port) ed una in Basic (per una più facile gestione del video).

Il listato Assembler si compone di due routine, una per la ricezione che inizia alla label "INIT" ed una per il trasferimento dei dati in memoria ("TRANSF"); inoltre ci sono due subroutine ("BYTEIN" e "BITIN") dedicate rispettivamente alla composizione di un byte ed alla ricezione del singolo bit.

Dopo aver inizializzato la direzione dei dati sulla user-port ed alcuni contatori in comune fra Basic ed Assembler ("INIT"), ci si mette in attesa di riconoscere il vettore di sincronismo 39 15 ED 30, bit a bit, fino a quando non si sia ricevuto il primo byte e poi, byte a byte, si verifica la corretta ricezione dei rimanenti tre.

Terminata questa operazione, comincia la ricezione vera e propria con i due loop ("L1 ed L2") che ricevono 256 byte ciascuno. Il dato ricevuto viene memorizzato nella RAM video (indirizzo \$0400 e \$0500) e nella RAM puntata delle locazioni \$FB e \$FC precedentemente caricate dal Basic.

La ricezione del singolo bit è fatta caricando il contenuto della locazione \$DD01 dove il Commodore 64 mappa la user-port.

Dal byte così ricavato verrà esaminato lo stato del clock (nel bit 7) e lo stato del dato (nel bit 0). Perché la lettura di un bit abbia la massima probabilità di essere esatta, è necessario che essa avvenga all'istante centrale. Questo concetto dovrebbe essere ormai abbastanza chiaro perché più volte ribadito (fig. 3a). Per ottenere ciò è necessario attendere la salita del clock e quindi la sua discesa, cioè una transizione negativa (fig. 3b).

Questa operazione è svolta alla label "L4". Stabilito il valore del bit con due rotazioni, una dell'accumulatore al carry ed una dal carry alla memoria "dato", esso viene temporaneamente salvato.

"BYTEIN" altro non fa che eseguire otto volte la subroutine BITIN, costruendo così un byte completo all'interno della cella di memoria "DATO".

Per quanto riguarda la "TRANSF", basta dire che essa effettua un trasferimento di un blocco già ricevuto, dalla memoria all'area video, permettendo così di rivedere i blocchi ricevuti. La selezione del blocco da trasferire avviene attraverso i puntatori \$FD e \$FE di pagina zero, caricati dal Basic con il valore iniziale della cella di memoria dalla quale comincia il blocco (\$FD parte meno significativa dell'indirizzo, \$FE parte più significativa). Al termine del listato è possibile vedere la tabella dei simboli usati.

Vediamo ora i principi di funzionamento della parte in Basic del programma. Questi comincia con l'istruzione del caricamento in memoria da disco della routine in linguaggio macchina (a cui è stato dato a livello di generazione di file-oggetto il nome di PSK.TLM) e dopo aver saltato tutta una serie di PRINT, di cui ci occuperemo in seguito, definisce le variabili più importanti a riga 1140.

- MAXBLKL = Massimo numero di blocchi caricabili in memoria.
- MEMO = Parte più significativa dell'indirizzo di partenza area memorizzazione blocchi.
- RCVBLK = Numero di blocchi già ricevuti.
- RICEVI = Indirizzo decimale delle routine Assembler di ricezione.
- TRANSF = Indirizzo in decimale delle routine Assembler di trasferimento.

Vengono quindi settati i puntatori di fine area Basic per proteggere l'area dati ricevuti dall'area delle variabili.

Dopo aver lasciato alla routine linguaggio macchina il compito di ricevere e memorizzare i blocchi, si tratta ora di decodificarli e di presentarli a video. Fra i tanti metodi possibili per la descrizione del singolo canale, il modo giudicato più efficiente dal punto di vista dell'occupazione della memoria è quello di fare "PRINT" attraverso una subroutine per i seguenti motivi.

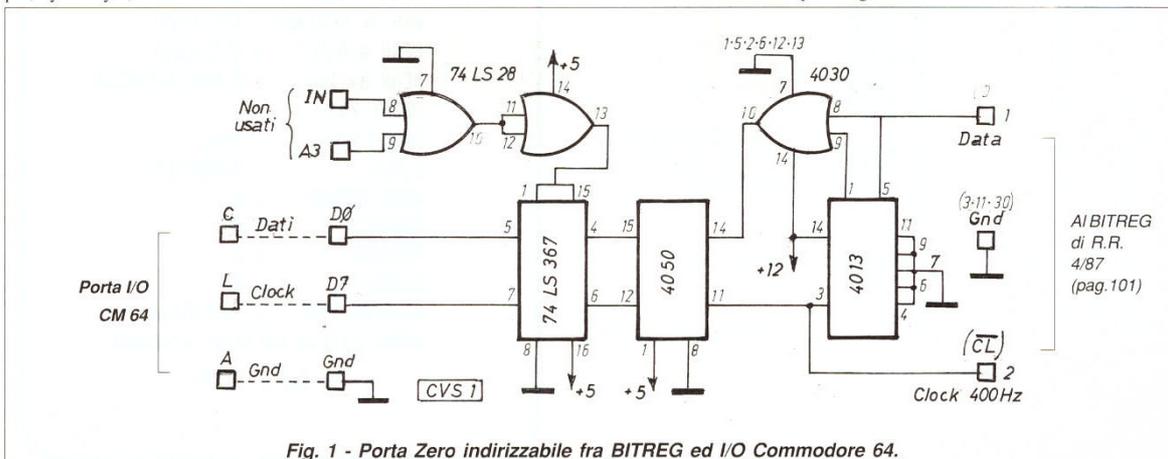


Fig. 1 - Porta Zero indirizzabile fra BITREG ed I/O Commodore 64.

Spazio nuova frontiera

R010.SR(2.4).....PAGE 0001

```

LINE# LOC CODE LINE
00001 0000 ;PROGRAMMA PER LA RICEZIONE DATI
00002 0000 ;DA DEM 2PSK OSCAR 10
00003 0000 ;ATTRAVERSO USER PORT
00004 0000 ;
00005 0000 ;DATI SU USERPORT BIT 0
00006 0000 ;CLOCK SU USERPORT BIT 7
00007 0000 ;ENTRY A LABEL 'INIT'

00009 0000 **#C000
00010 0000 DATO **#+1
00011 0001
00012 0001 SYNC1=#39
00013 0001 SYNC2=#15
00014 0001 SYNC3=#ED
00015 0001 SYNC4=#30

00017 0001 ;
00018 0001 ;RICEZIONE DI UN BIT DA USER PORT.
00019 0001 ;ATTENDE TRANSIZIONE DA CLOCK ALTO
00020 0001 ;A CLOCK BASSO
00021 0001 ;
00022 0001 ;USA : A
00023 0001 ;RISULTATO IN : DATO
00024 0001
00025 0001 AD 01 DD BITIN LDA #DD01 ;USER PORT
00026 0004 10 FB BPL BITIN ;ASPETTA CLOCK ALTO
00027 0006 AD 01 DD L4 LDA #DD01
00028 0009 30 FB BMT L4
00029 000B 5A ROR A ;ASPETTA CLOCK BASSO
00030 000C 2E 00 C0 ROL DATO ;BIT RICEVO IN CARRY
00031 000F 60 RTS ;CARRY INSERITO IN BUFFER

00033 0010 ;
00034 0010 ;RICEZIONE DI UN BYTE
00035 0010 ;USA : X
00036 0010 ;CHIAMA : BITIN
00037 0010 ;RISULTATO IN : A
00038 0010 ;
00039 0010 A2 08 BYTEIN LDW #008 ;8BIT X BYTE
00040 0012 20 01 C0 L3 JSR BITIN ;INSERISCE BIT
00041 0015 CA DEX
00042 0016 D0 FA BNE L3
00043 0018 AD 00 C0 LDA DATO
00044 001B 60 RTS
    
```

R010.SR(2.4).....PAGE 0002

```

LINE# LOC CODE LINE
00046 001C ;INIZIALIZZAZIONE USER PORT
00047 001C INIT LDA #00 ;DATI IN
00048 001D A9 00 STA #DD03 ;DIREZ DATI
00049 001E 8D 03 DD STA #FB
00050 0021 85 FB STA #FD
00051 0023 85 FD

00053 0025 ;
00054 0025 ;RICEZIONE DI UN BLOCCO DI 512 BYTES
00055 0025 ;CON ATTESA DI 4 BYTE DI SINCRONISMO
00056 0025
00057 0025 20 01 C0 ATTSYN JSR BITIN ;PRIMO SINCRONISMO
00058 0028 AD 00 C0 LDA DATO
00059 002B C9 39 CMP #SYNC1
00060 002D D0 F5 BNE ATTSYN
00061 002F 20 10 C0 JSR BYTEIN ;SECONDO SYNC.
00062 0032 C9 15 CMP #SYNC2
00063 0034 D0 EF BNE ATTSYN
00064 0036 20 10 C0 JSR BYTEIN ;TERZO SYNC.
00065 0039 C9 ED CMP #SYNC3
00066 003B D0 E3 BNE ATTSYN
00067 003D 20 10 C0 JSR BYTEIN ;QUARTO SYNC.
00068 0040 C9 39 CMP #SYNC4
00069 0042 D0 E1 BNE ATTSYN
00070 0044 ;
00071 0044 A0 00 LDW #008 ;COMINCIA RICEZIONE
00072 0046 20 10 C0 L1 JSR BYTEIN ;CONTO 2*256 BYTES
00073 0049 99 00 04 STA #0400.Y ;MEMORIA VIDEO
00074 004C 91 FE STA (#FB).Y ;MEMORIA RAM
00075 004E C8 INY
00076 004F D0 F5 BNE L1
00077 0051 E5 FC INC #FC
00078 0053 20 10 C0 L2 JSR BYTEIN
00079 0056 99 00 05 STA #0500.Y ;MEMORIA VIDEO
00080 0059 91 FE STA (#FB).Y
00081 005B C8 INY
00082 005C D0 F5 BNE L2
00083 005E E5 FC INC #FC
00084 0060 60 RTS ;TERMINATA RIC. BLOCCO

00086 0061
    
```

R010.SR(2.4).....PAGE 0003

```

LINE# LOC CODE LINE
00088 0061 ;ENTRY PER TRASFERIMENTO DATI
00089 0061 ;GIA' RICEVUTI, ALL'AREA VIDEO
00090 0061 ;RICHIESTE INIZIALIZZAZIONE DI
00091 0061 ;#FD E #FE PER SELEZIONARE
00092 0061 ;DA BASIC IL BLOCCO DESIDERATO
00093 0061
00094 0061 **#C094 ; DECIMALE 49300
00095 0094 A0 00 TRANSF LDW #008
00096 0096 B1 FD FIRST LDA (#FD).Y
00097 0098 99 00 04 STA #0400.Y ;A VIDEO
00098 009B C8 INY
00099 009C D0 F8 BNE FIRST ;PRIMI 256 BYTES
00100 009E E6 FE INC #FE
00101 00A0 B1 FD SECOND LDA (#FD).Y
00102 00A2 99 00 05 STA #0500.Y ;A VIDEO
00103 00A5 C8 INY
00104 00A6 D0 F8 BNE SECOND ;SECONDI 256 BYTES
00105 00A8 60 RTS
00106 00A9 .END

ERRORS = 00000

SYMBOL TABLE
SYMBOL VALUE
ATTSYN 0025 BITIN 0001 BYTEIN 0010 DATO 0000
FIRST 0096 INIT 001C L1 0046 L2. 0053
L3 0012 L4 0006 SECOND 00A0 SYNC1 0039
SYNC2 0015 SYNC3 00ED SYNC4 0030 TRANSF 0094

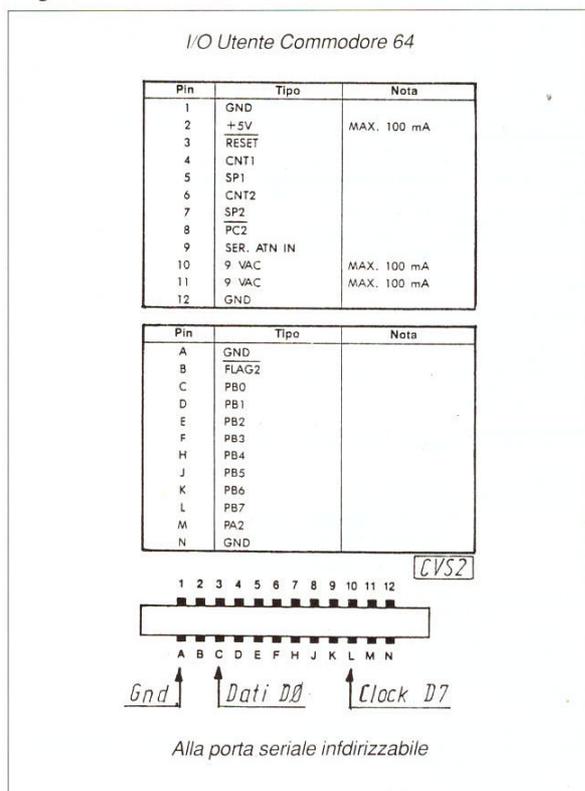
END OF ASSEMBLY
    
```

**Per chi traffica via Luna "EME"
e deve puntare le antenne sul Sole per
misure di "Sun Noise"**

KEPLERIAN ELEMENTS : SOLE
EPOCH YEAR : 1987
EPOCH DAY : 1
DATE MM/DD/YY : 1/ 1/ 87
TIME HH:MM:SS. : 0: 0: 0
INCLINATION : 23.441
R.A.A.N. : 0
ECCENTRICITY : .0167146
ARG.OF PERIGEE : 282.7169
MEAN ANOMALY : 357.4026
MEAN MOTION : 0.002737778522
DECAY RATE : 0
EPOCH REV. : 1986
S.M.A. : 149597870
ANOM.PERIOD : 0
APOGEE : 0
PERIGEE : 0
BEACON : 0
SIDERAL TIME : .27535606
AMSAT-ITALIA SOFTWARE EXCHANGE

IV3IBX & IBCVS

Fig. 2



Non viene allocata area nella zona delle variabili come avverrebbe se si usasse un vettore. Non è necessario fare continue riletture dall'inizio come se invece si usasse l'istruzione "DATA". Attraverso la subroutine si può riutilizzare la stringa descrittiva tutte le volte che risulti necessario, scegliendo automaticamente il canale desiderato attraverso l'istruzione "ON", come si può vedere alle righe 1640 - 1700.

La stessa tecnica è usata per puntare alle formule di decodifica (righe 1570 - 1580). Per rendere omogenei i dati nelle cinque paginate video (cioè le temperature con le temperature, le tensioni con le tensioni, ecc., poiché il satellite le invia mischiate), vengono usati cinque array, P1, P2...P5, i quali contengono i puntatori al canale (righe 1010 - 1050).

Dalla riga 1740 alla 1980 c'è la gestione delle già menzionate pagine video, mentre dalla riga 1990 alla 2060, dopo che l'utente ha scelto un canale, viene fatta una ricerca fra tutti i blocchi in memoria e presentato il valore decodificato per ciascuno di essi.

La battitura del programma non è cosa immediata, anche se non la si può considerare un'impresa impossibile. Coloro che volessero realizzare subito il demodulatore prima del lancio di AMSAT Phase III-C, previsto tra la fine del 1987 e l'inizio del 1988, possono richiedere gli stampati a I2PZB e, dopo aver dimostrato l'avvenuta costruzione, riceveranno da parte dell'AMSAT-Italia un disco che contiene il programma illustrato. In questo caso il disco è gratuito.

Tutti coloro che realizzeranno il demodulatore dopo il lancio del satellite riceveranno il disco dietro un modesto compenso, destinato a coprire le spese e come contributo per la costruzione di nuovi satelliti.

Coloro infine che realizzeranno il demodulatore ed un programma per qualunque computer, partendo da criteri diversi ed originali, saranno premiati dall'AMSAT-Italia in occasione del prossimo Congresso Nazionale che si terrà in concomitanza di HAMBIT '87 a Firenze il 22 novembre prossimo.

Chi avesse bisogno di ulteriori chiarimenti sul programma per C.64 si può rivolgere a IW3ER, ing. Tullio Carretta - via delle Grazie 2 B - 31046 Oderzo TV (tel. 0422-713452).

Concludendo, le caratteristiche del programma sono le seguenti:

- 1) possibilità di ricevere e tenere in memoria fino a 56 blocchi completi di qualunque tipo (K-L-M-N-Q-Y);
- 2) visualizzazione e contemporanea memorizzazione del blocco in ricezione;
- 3) possibilità di decodifica dei primi 64 canali di un blocco di tipo Q, in cinque paginate sfogliabili in avanti e indietro;
- 4) possibilità di vedere il valore decodificato di uno qualunque dei primi 64 canali per tutti i blocchi Q ricevuti e quindi contenuti nella memoria (utile per osservare come varia un canale nel tempo);
- 5) il programma è stato studiato a fondo per occupare la minima area di memoria possibile (solo 6K), al fine di poter disporre di maggior spazio per la memorizzazione dei blocchi.

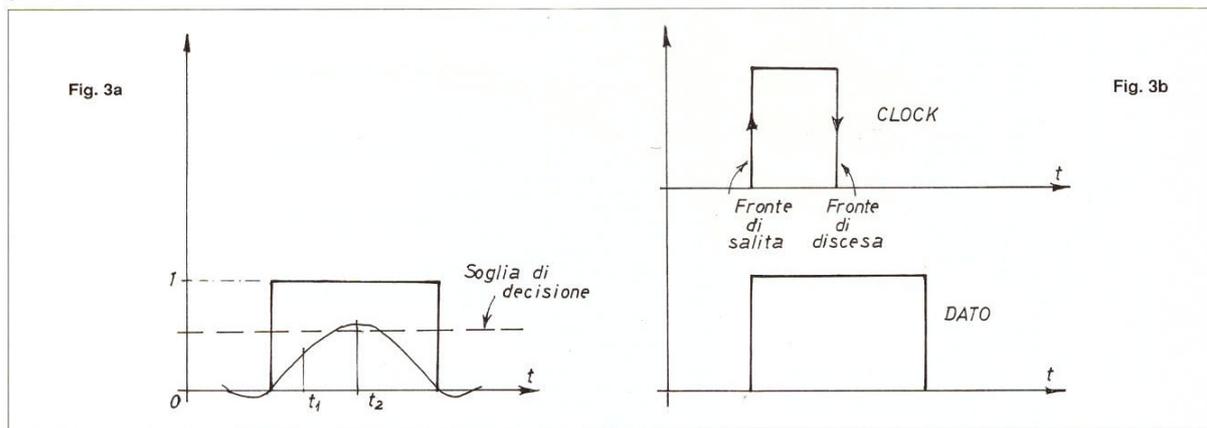


Fig. 3 a - La massima probabilità di leggere il valore corretto di un bit in ricezione si ha quando si campiona (si va a "vedere") il segnale nell'istante centrale del bit stesso ed il dato viene dichiarato essere un 1 (uno) oppure uno 0 (zero) a seconda che dalla verifica risulti che si è superata oppure no una certa soglia, detta "Soglia di decisione". Pertanto risulta necessario conoscere l'istante preciso in cui tale evento si verifica; si vede in figura che se si campionasse il bit all'istante t_1 si prenderebbe la decisione sbagliata.

Fig. 3 b - L'informazione di tempo necessaria per effettuare il campionamento è detta Clock e viene ricavata dal segnale stesso dalla scheda BITREG. In figura si può osservare come sia necessario individuare il fronte di discesa del clock perché è l'istante centrale del bit da ricevere.

